

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-339466

(43)Date of publication of application : 10.12.1999

(51)Int.Cl. G11C 11/401
G11C 11/409

(21)Application number : 11-076559 (71)Applicant : FUJITSU LTD

(22)Date of filing : 19.03.1999 (72)Inventor : WAKAYAMA
SHIGETOSHI
GOTO
KOTARO
SAITO
YOSHIHISA
OGAWA
JUNJI

(30)Priority

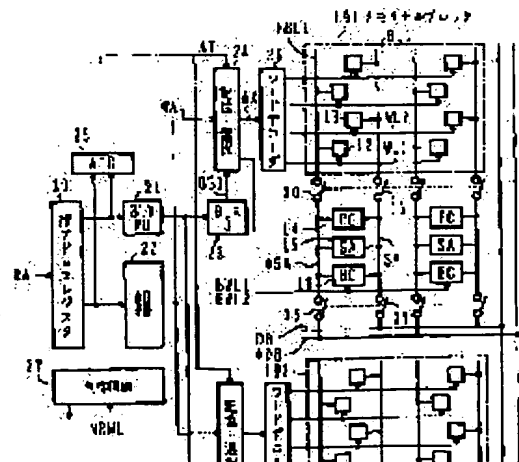
Priority	10 82295	Priority	27.03.1998	Priority	JP
number :	10 82296	date :	27.03.1998	country :	JP

(54) DESTRUCTIVE READ TYPE MEMORY CIRCUIT, ADDRESS MEMORY-CONTROL CIRCUIT FOR RESTORATION AND SENSE AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten a row cycle by omitting a restore operation from a data access operation.

SOLUTION: Each of memory cell blocks 191 and 192 is provided with a memory selection circuit 24 having a register and a selector for selecting



either of a row address in the present block and an output of the register. A predecoded row address of an output of the circuit is supplied to a word decoder 26. A row address of a designated memory cell is retained at the register. At an amplification start point of a sense amplifier, transfer gates 10 and 11 connected between bit lines BL1, *BL1 and the sense amplifier 15 are turned off, thereby reducing a burden on the sense amplifier. An amplified signal is written to a buffer memory cell 18, when accessing is completed without reloading into a memory cell 12. Contents of the buffer memory cell 18 are written to a memory cell row designated by contents of the register at a non-selection term of the memory cell block 191.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-339466

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.⁵G 1 1 C 11/401
11/409

識別記号

F I

G 1 1 C 11/34

3 6 2 C

3 5 4 R

3 6 2 H

審査請求 未請求 請求項の数30 O L (全 36 頁)

(21) 出願番号 特願平11-76559

(22) 出願日 平成11年(1999) 3 月19日

(31) 優先権主張番号 特願平10-82295

(32) 優先日 平10(1998) 3 月27日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-82296

(32) 優先日 平10(1998) 3 月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 若山 繁俊

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 後藤 公太郎

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 松本 眞吉

最終頁に続く

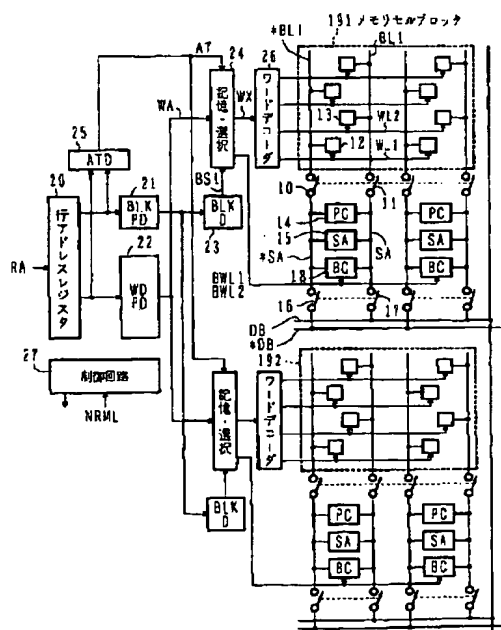
(54) 【発明の名称】 破壊読出型メモリ回路、リストア用アドレス記憶・制御回路及びセンスアンプ

(57) 【要約】

【課題】 データアクセス動作からリストア動作を省略することによりロウサイクルを短縮する。

【解決手段】 メモリセルブロック191及び192の各々に対して、レジスタと、現在のブロック内行アドレスとレジスタの出力とのいずれかを選択するセレクトとを有する記憶・選択回路24を備え、その出力を、プリデコードされた行アドレスをワードデコーダ26に供給する。指定されたメモリセルの行アドレスを該レジスタに保持しておく。センスアンプの増幅開始時点で、ビット線BL1、*BL1とセンスアンプ15との間に接続された転送ゲート10及び11をオフにして、センスアンプの負荷を小さくし、増幅された信号をバッファメモリセル18に書き込み、メモリセル12への再書き込みを行わずにアクセスを完了する。メモリセルブロック191の非選択期間に、バッファメモリセル18の内容を、該レジスタの内容で指定されるメモリセル行に書き込む。

本発明の第1実施形態に係るDRAMの行アドレス系回路を示すブロック図



【特許請求の範囲】

【請求項1】 複数のメモリセルを有しそれぞれアドレスで選択されるメモリセルアレイと、

バッファメモリセルと、

リストアドレスレジスタと、

該メモリセルの現在の行アドレスを該リストアドレスレジスタに保持させ、選択された該メモリセルの内容を該バッファメモリセルに書き込ませ、選択されて記憶内容が破壊された該メモリセルへの再書き込みを行わずに該メモリセルに対するアクセスを完了し、空き時間に該バッファメモリセルの内容を、該リストアドレスレジスタに保持されている行アドレスで指定される該メモリセルに書き込ませる制御回路と、
を有することを特徴とする破壊読出型メモリ回路。

【請求項2】 上記メモリセルは読み出し用ビット線に接続され、

該メモリセルから該ビット線に読み出された信号を増幅するセンスアンプをさらに有することを特徴とする請求項1記載の破壊読出型メモリ回路。

【請求項3】 上記ビット線と上記センスアンプとの間に接続されたスイッチ素子をさらに有し、

上記制御回路は、該センスアンプで増幅を開始する時に該スイッチ素子をオフにする、

ことを特徴とする請求項2記載の破壊読出型メモリ回路。

【請求項4】 上記メモリセルブロックを複数有し、上記バッファメモリセルは該メモリセルブロックの各々に対して備えられ、上記リストアドレスレジスタは該メモリセルブロックの各々に対して備えられ、

上記制御回路は、選択されている該メモリセルブロックに対応した該リストアドレスレジスタに、現在の行アドレスを保持させ、上記空き時間において、選択されている該メモリセルブロックに対応した該リストアドレスレジスタに保持されている行アドレスで指定される該メモリセルに再書き込みさせる、ことを特徴とする請求項2又は3記載の破壊読出型メモリ回路。

【請求項5】 上記メモリセルブロックの各々について、現在の上記行アドレスと上記リストアドレスレジスタの出力との一方を選択して該メモリセルブロック内の行アドレスを選択するための信号を出力する選択回路をさらに有し、

上記制御回路は該選択回路に対し、現在の行アドレスが、該選択回路に対応した該メモリセルブロックを選択するものである場合には現在の該行アドレスを選択させ、上記空き時間において該リストアドレスレジスタの出力を選択させる、

ことを特徴とする請求項4記載の破壊読出型メモリ回路。

【請求項6】 上記バッファメモリセル及び上記リストアドレスレジスタはいずれも、上記メモリセルブロッ

クの各々に対して複数N備えられ、

上記選択回路は、現在の上記行アドレスとN個の該リストアドレスレジスタの出力とのうちの1つを選択し、行アドレスの遷移を検出する行アドレス遷移検出回路をさらに有し、

上記制御回路は、該メモリセルブロックの各々について、

アップダウンカウンタと、

該遷移が検出され、対応する該メモリセルブロックが選択され、かつ、該アップダウンカウンタのカウンタがNより小さい場合には、カウンタアップさせる信号を該アップダウンカウンタに供給し、該遷移が検出され、上記空き時間であり、かつ、該カウンタが0でない場合にはカウンタダウンさせる信号を該アップダウンカウンタに供給するアップ/ダウン信号生成回路と、
を有することを特徴とする請求項5記載の破壊読出型メモリ回路。

【請求項7】 上記制御回路は、上記メモリセルブロックの各々について、さらにブロック内行アドレス制御回路を有し、該ブロック内行アドレス制御回路は、対応する該メモリセルブロックについて、

該メモリセルブロックが選択された場合には、

上記カウンタがNより小さいとき、N個の該リストアドレスレジスタのうちの該カウンタに対応したものに現在の行アドレスを保持させ、かつ、現在の行アドレスを該選択回路に対し選択させ、

該カウンタがNであるとき、メモリアクセスサイクル内でメモリセルへの再書き込みを行う制御信号を出力し、上記空き時間であり、かつ、該カウンタが0でない場合には、N個の該リストアドレスレジスタのうちの該カウンタに対応したものの出力を該選択回路に対し選択させる、

ことを特徴とする請求項6記載の破壊読出型メモリ回路。

【請求項8】 上記ブロック内行アドレス制御回路は、上記選択回路に対し上記選択を行わせる場合に、上記カウンタに対応した上記バッファメモリセルを選択させる、

ことを特徴とする請求項7記載の破壊読出型メモリ回路。

【請求項9】 上記選択回路は、行アドレスのアリデコーダと、上記メモリセルブロックの各々に対して備えられ該アリデコーダの出力をさらにデコードするワードデコーダとの間に接続されていることを特徴とする請求項5乃至8のいずれか1つに記載の破壊読出型メモリ回路。

【請求項10】 上記バッファメモリセル及び上記リストアドレスレジスタはいずれも、上記メモリセルブロックの各々に対して複数N備えられ、

上記選択回路は、現在の行アドレスと、対応するN個の

該リストアドレスレジスタの出力とのうちの1つを選択し、

該リストアドレスレジスタの各々に対して備えられ、そのレジスタの内容が「有効」であるか「無効」であるかを示すフラグ記憶素子をさらに有し、

上記制御回路は、

現在の行アドレスにより該メモリセルブロックの1つが選択されている時、選択されている該メモリセルブロックに対応した該フラグ記憶素子の内容が「無効」であれば、これを「有効」にし、かつ、このフラグ記憶素子に対応した該リストアドレスレジスタに現在の行アドレスを保持させ、

上記空き時間において、該フラグ記憶素子の内容の1つが「有効」であれば、これを「無効」にし、これに対応した該リストアドレスレジスタの内容を該選択回路に対し選択させる、

ことを特徴とする請求項5記載の破壊読出型メモリ回路。

【請求項11】 複数のバンクを有し、該バンクの各々に上記メモリセルブロックを有し、

上記リストアドレスレジスタは該メモリセルブロックの各々に対して備えられ、

上記制御回路は、選択されているバンクの選択されている該メモリセルブロックに対応した該リストアドレスレジスタに、現在の行アドレスを保持させ、上記空き時間においてバンクの該メモリセルブロックに対応した該リストアドレスレジスタに保持されている行アドレスで指定される該メモリセルに再書き込みさせる、ことを特徴とする請求項2又は3記載の破壊読出型メモリ回路。

【請求項12】 上記リストアドレスレジスタの各々に対して備えられ、そのレジスタの内容が「有効」であるか「無効」であるかを示すフラグ記憶素子と、

「有効」を示している該フラグ記憶素子の出力の1つを選択する有効ビット選択回路と、

該有効ビット選択回路の出力に対応して該リストアドレスレジスタのうちの1つの出力を選択する選択回路とをさらに有し、

上記制御回路は、

選択されている該メモリセルブロックについて、該フラグ記憶素子の内容が「無効」であれば、これを「有効」にし、かつ、このフラグ記憶素子に対応した該リストアドレスレジスタに現在の行アドレスを保持させ、非選択の該バンクについて、該有効ビット選択回路で選択された「有効」ビットに対応した該フラグ記憶素子の内容を「無効」にし、該選択回路の出力で指定される行アドレスのメモリセルに対し対応するバッファメモリセルの内容を書き込ませる、

ことを特徴とする請求項11記載の破壊読出型メモリ回路。

【請求項13】 複数のリストアドレスを記憶するリストアドレス記憶部と、

第1チップセレクト信号がアクティブのとき、行アドレスを該リストアドレス記憶部に書き込み、かつ、メモリ装置に対しリストア動作をさせず、該第1チップセレクト信号がインアクティブのとき、該リストアドレス記憶部の内容、アクティブのリストア信号及びアクティブの第2チップセレクト信号を出力する制御回路と、を有することを特徴とするリストア用アドレス記憶・制御回路。

【請求項14】 上記リストアドレス記憶部に格納される各行アドレスについて該行アドレスが「有効」であるか「無効」であるかを記憶するフラグ記憶部と、該フラグ記憶部内の「有効」を示しているフラグ中の1つを選択する有効ビット選択回路と、

該リストアドレス記憶部に記憶されている、選択された該フラグに対応した記憶位置の内容を出力する選択回路とをさらに有し、

上記制御回路は、

上記第1チップセレクト信号がアクティブであり、かつ、該フラグ記憶部内の「無効」を示している1つのフラグを「有効」にし、かつ、このフラグに対応した該リストアドレス記憶部内の記憶位置に現在の行アドレスを保持させ、

該第1チップセレクト信号がインアクティブのとき、該フラグ記憶部内の、選択された該フラグに対応した記憶位置の内容を「無効」にする、

ことを特徴とする請求項13記載のリストア用アドレス記憶・制御回路。

【請求項15】 メモリセルブロックと、

該メモリセルブロックに対して備えられたバッファメモリセルと、

外部からのリストア省略指令に応答して、外部からの行アドレスで指定されるメモリセルの内容を上記バッファメモリセルに書き込ませ、かつ、該メモリセルへのリストアを省略させ、外部からのリストア指令に応答して、外部からの行アドレスで指定されるメモリセルに対し、該バッファメモリセルの内容を書き込ませる制御回路と、

を有することを特徴とする破壊読出型メモリ回路。

【請求項16】 請求項1乃至12のいずれか1つに記載の破壊読出型メモリ回路、請求項13若しくは14記載のリストア用アドレス記憶・制御回路又は請求項15記載の破壊読出型メモリ回路を含むことを特徴とする半導体装置。

【請求項17】 第1電極と第2電極との間をオン／オフする第1スイッチ素子と、

第1電極と第2電極との間をオン／オフする第2スイッチ素子と、

ゲート及びドレインがそれぞれ該第1スイッチ素子の該

第1電極及び該第2スイッチ素子の該第2電極に接続された第1FETと、

ゲート及びドレインがそれぞれ該第2スイッチ素子の該第1電極及び該第1スイッチ素子の該第2電極に接続された第2FETとを有し、

該第1及び第2スイッチ素子が連動してオン／オフ制御されることを特徴とするセンスアンプ回路。

【請求項18】 PMISクロス結合回路とNMISクロス結合回路とを有し、

該PMISクロス結合回路は、

第1電極と第2電極との間をオン／オフする第1スイッチ素子と、

第1電極と第2電極との間をオン／オフする第2スイッチ素子と、

ゲート及びドレインがそれぞれ該第1スイッチ素子の該第1電極及び該第2スイッチ素子の該第2電極に接続された第1PMISTランジスタと、

ゲート及びドレインがそれぞれ該第2スイッチ素子の該第1電極及び該第1スイッチ素子の該第2電極に接続された第2PMISTランジスタとを有し、

該NMISクロス結合回路は、

第1電極と第2電極との間をオン／オフする第3スイッチ素子と、

第1電極と第2電極との間をオン／オフする第4スイッチ素子と、

ゲート及びドレインがそれぞれ該第3スイッチ素子の該第1電極及び該第4スイッチ素子の該第2電極に接続された第1NMISTランジスタと、

ゲート及びドレインがそれぞれ該第4スイッチ素子の該第1電極及び該第3スイッチ素子の該第2電極に接続された第2NMISTランジスタとを有し、

該PMISクロス結合回路と該NMISクロス結合回路とが縦続接続され、該第1及び第2スイッチ素子が連動してオン／オフ制御され、該第3及び第4スイッチ素子が連動してオン／オフ制御されることを特徴とするセンスアンプ回路。

【請求項19】 上記第1スイッチ素子の上記第2電極と上記第3スイッチ素子の上記第2電極とが接続され、上記第2スイッチ素子の上記第2電極と上記第4スイッチ素子の上記第2電極とが接続されていることを特徴とする請求項18記載のセンスアンプ回路。

【請求項20】 上記第1スイッチ素子の上記第2電極と上記第2スイッチ素子の上記第2電極との間に接続されたバッファメモリセルをさらに有することを特徴とする請求項19記載のセンスアンプ回路。

【請求項21】 上記第1スイッチ素子の上記第2電極と上記第3スイッチ素子の上記第1電極とが接続され、上記第2スイッチ素子の上記第2電極と上記第4スイッチ素子の上記第1電極とが接続されていることを特徴とする請求項18記載のセンスアンプ回路。

【請求項22】 上記第3スイッチ素子の上記第2電極と上記第4スイッチ素子の上記第2電極との間に接続されたバッファメモリセルをさらに有することを特徴とする請求項21記載のセンスアンプ回路。

【請求項23】 上記第1スイッチ素子の上記第1電極と上記第3スイッチ素子の上記第1電極とが接続され、上記第2スイッチ素子の上記第1電極と上記第4スイッチ素子の上記第1電極とが接続されていることを特徴とする請求項18記載のセンスアンプ回路。

【請求項24】 上記第1スイッチ素子の上記第1電極と上記第2スイッチ素子の上記第1電極との間に接続されたバッファメモリセルをさらに有することを特徴とする請求項23記載のセンスアンプ回路。

【請求項25】 第1及び第2ビット線にそれぞれメモリセルが接続されたメモリセルアレイと、

該第1及び第2ビット線がそれぞれ上記第1スイッチング素子の上記第1電極及び上記第2スイッチング素子の上記第1電極と結合された請求項17記載のセンスアンプ回路と、

ダイレクトセンシングを行うために上記第1及び第2スイッチ素子をオフ状態にし、次に電圧増幅のために該第1及び第2スイッチ素子をオンにする制御回路と、

を有し、上記第1及び第2FETはいずれもPMISTランジスタであり、該第1及び第2FETのソースは、該ダイレクトセンシング及び該電圧増幅の動作中において高レベル電位に固定されることを特徴とするメモリ装置。

【請求項26】 上記第1及び第2ビット線を介してそれぞれ上記第1スイッチング素子の上記第1電極及び上記第2スイッチング素子の上記第1電極を低レベル電位にプリチャージするプリチャージ回路をさらに有することを特徴とする請求項25記載のメモリ装置。

【請求項27】 第1及び第2ビット線にそれぞれメモリセルが接続されたメモリセルアレイと、該第1及び第2ビット線がそれぞれ上記第1スイッチング素子の上記第1電極及び上記第2スイッチング素子の上記第1電極と結合された請求項17乃至23のいずれか1つに記載のセンスアンプ回路と、

ダイレクトセンシングを行うために上記第1及び第2スイッチ素子をオフ状態にし、次に電圧増幅のために該第1及び第2スイッチ素子をオンにする制御回路と、

を有し、上記第1及び第2FETはいずれもNMISTランジスタであり、該第1及び第2FETのソースは、該ダイレクトセンシング及び該電圧増幅の動作中において低レベル電位に固定されることを特徴とするメモリ装置。

【請求項28】 上記第1及び第2ビット線を介してそれぞれ上記第1スイッチング素子の上記第1電極及び上記第2スイッチング素子の上記第1電極を高レベル電位にプリチャージするプリチャージ回路をさらに有するこ

とを特徴とする請求項27記載のメモリ装置。

【請求項29】 上記第1スイッチング素子の上記第1電極と上記第2スイッチング素子の上記第1電極との間に接続されたイコライザスイッチ素子と、上記第1及び第2ビット線と上記センスアンプ回路との間にそれぞれ接続された第1及び第2転送ゲートと、を有することを特徴とする請求項25乃至28のいずれか1つに記載のメモリ装置。

【請求項30】 請求項17記載のセンスアンプ回路又は請求項25記載のメモリを含んでいることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、破壊読出型メモリ回路、リストア用アドレス記憶・制御回路及びセンスアンプ並びにこれらのいずれかを有した半導体装置に関する。

【0002】

【従来の技術】マイクロプロセッサの動作周波数増加に伴い、メモリのデータ転送レート向上が要求されている。

【0003】図28は、従来のDRAMのビット線対に接続された回路を示す。

【0004】一対の相補的なビット線BL1及び*BL1はそれぞれ、転送ゲート10及び11によりセンスアンプ側の配線SA及び*SAと導通/遮断可能になっている。ビット線BL1及び*BL1にはそれぞれ、多数のメモリセルが接続され、図28ではメモリセル12及び13のみ示されている。配線SAと*SAとの間には、イコライザ付プリチャージ回路14及びCMOSセンスアンプ15が接続されている。配線SAは、コラムゲート16を介してデータバス線DBに接続され、配線*SAはコラムゲート17を介してデータバス線*DBに接続されている。

【0005】図29は、メモリセル12のキャパシタ121の一端のセルプレート電位Vcp並びにビット線BL1及び*BL1のプリチャージ電位がいずれもVii/2である場合における、図28の回路のリード動作を示す。

【0006】初期状態では、転送ゲート10及び11はオンにされ、ビット線BL1、*BL1及び配線SA、*SAはいずれも電位Vii/2にプリチャージされ、CMOSセンスアンプ15の駆動信号PSA及びNSAはいずれも電位Vii/2になっている。プリチャージ信号PRが低レベルにされてNMOSTランジスタ141~143がオフになっている。

【0007】この状態で、行アドレスが遷移し、ワード線WL1の電位が立ち上げられ、これによりメモリセル12の転送ゲート122がオンになって、キャパシタ121の電荷移動によりビット線BL1と*BL1との間

に微小電位差が生ずる。

【0008】次に、駆動信号PSAが電位Viiにされ駆動信号NSAが電位Vssにされて、CMOSセンスアンプ15が活性化される。これにより、配線SAと*SAとの間の微小電位差が増幅される。

【0009】次に、コラム選択信号CL1が高レベルにされてコラムゲート16及び17がオンになり、データバス線DB及び*DB上にデータが読み出される。

【0010】キャパシタ121の電位Vcは、図29中の点線で示すように変化する。電位Vcの立ち上がりは、時定数 $\tau = (\text{ビット線BL1及び転送ゲート122の抵抗}) \times (\text{キャパシタ121及びビット線BL1の容量})$ により、緩やかであり、tを時間とすると、 $V_C = V_{ii} \{1 - 0.5 \exp(-t/\tau)\}$ と表される。例えばVii=2.4V、Vss=0Vのとき、 $V_C = 2.35V$ 程度になるまで待つてワード線WL1を立ち下げることにより、メモリセル12に再書き込みする必要がある。コラム選択信号CL1の立ち下がりからワード線WL1の立ち下がり開始までの再書き込み時間は、20ns程度である。

【0011】ワード線WL1の電位が立ち下がると、駆動信号PSA及びNSAの電位が電位Vii/2にされ、かつ、プリチャージ信号PRが高レベルにされてビット線BL1及び*BL1が電位Vii/2にプリチャージされる。

【0012】行アドレスの遷移からこのプリチャージの完了までのロウサイクル時間は、40ns程度である。

【0013】ワード線WL1を選択すると、他の不図示のビット線に接続されたメモリセルのデータもそれらのビット線上に読み出されるので、行アドレスが変化せずにコラムアドレスが変化するバーストモードでは、データ転送が高速に行われ、この再書き込み時間の影響は小さい。また、多バンク型のDRAMにおいて、バンクを交互に切り換えてデータをアクセスする場合には、再書き込み時にバンクが切り替えられるので、再書き込み時間が隠れる。

【0014】

【発明が解決しようとする課題】しかし、多バンク型のDRAMであっても、同一バンク内でロウアドレスが頻繁に変化するランダムアクセスにおいては、再書き込み時間によりデータ転送性能が極端に落ちる。

【0015】また、次のような理由により、ワード線WL1を立ち上げてからデータをメモリの外部に読み出すまでのデータアクセス時間が長くなる。

【0016】(1)転送ゲート122をオンにしてから、キャパシタ121の電荷移動によりビット線BL1と*BL1との間に200mV程度の微小電位差が生ずるまでの時間は、誤動作防止のため、CMOSセンスアンプ15を活性化することができない。この時間は、ビット線及び転送ゲート122の寄生容量及び寄生抵抗に

より、比較的長い。

【0017】(2) CMOSセンスアンプ15のトランジスタ151～154のサイズは、プロセスのばらつきによる特性のばらつきを低減して誤動作を防止するために、転送ゲート10等のトランジスタの数倍大きい。このため、トランジスタ151～154のゲート容量が比較的大きく、駆動信号PSAが電位V_{ii}/2から電位V_{ii}になるまで及び駆動信号NSAが電位V_{ii}/2から電位V_{ss}になるまでの活性化時間が長くなる原因となっている。また、多数、例えば1024のビット線対の各々に接続されたセンスアンプが同時に活性化されるので、この活性化時間がさらに長くなる。

【0018】(3) コラムゲート16及び17がオンに遷移すると、図34に示すように配線SAと*SAとの間の電位差が一時的に減少するので、CMOSセンスアンプ15の誤動作防止のため、この電位差がある程度の値になるまでコラムゲート16及び17をオンにすることができない。

【0019】これらの問題は、ダイレクトセンシング方式を用いることにより改善されるが、CMOSセンスアンプ15を用いた場合よりも増幅率が小さいので、データアクセス時間を充分短縮することができない。ダイレクトセンシング方式とCMOSセンスアンプとを両方用いても、上記(2)の問題を解決することができない。

【0020】本発明の目的は、このような問題点に鑑み、データアクセス動作からリストア動作を省略することによりロウサイクルを短縮することが可能な破壊読出型メモリ回路、リストア用アドレス記憶・制御回路及び半導体装置を提供することにある。

【0021】本発明の他の目的は、ダイレクトセンシング機能を付加することによりロウサイクルを短縮することが可能なセンスアンプ回路並びにこれを用いたメモリ及び半導体装置を提供することにある。

【0022】

【課題を解決するための手段及びその作用効果】請求項1の破壊読出型メモリ回路では、複数のメモリセルを有しそれぞれアドレスで選択されるメモリセルアレイと、バッファメモリセルと、リストアアドレスレジスタと、該メモリセルの現在の行アドレスを該リストアアドレスレジスタに保持させ、選択された該メモリセルの内容を該バッファメモリセルに書き込ませ、選択されて記憶内容が破壊された該メモリセルへの再書き込みを行わずに該メモリセルに対するアクセスを完了し、空き時間に該バッファメモリセルの内容を、該リストアアドレスレジスタに保持されている行アドレスで指定される該メモリセルに書き込ませる制御回路とを有する。

【0023】この破壊読出型メモリ回路によれば、データアクセス動作からリストア動作が省略され、空き時間、例えばメモリセルブロック、バンク又はチップが非選択の期間或いはリフレッシュ動作時に、バッファメモ

リセルの内容が、レジスタに保持されているアドレスで指定されるメモリセルに再書き込みされるので、ロウサイクルが短縮され、特に、同一メモリブロック内または同一バンク内で行アドレスが頻繁に変化するランダムアクセスにおいてデータ転送レートが向上するという効果を奏する。

【0024】請求項2の破壊読出型メモリ回路では、請求項1において、上記メモリセルは読み出し用ビット線に接続され、該メモリセルから該ビット線に読み出された信号を増幅するセンスアンプをさらに有する。

【0025】請求項3の破壊読出型メモリ回路では、請求項2において、上記ビット線と上記センスアンプとの間に接続されたスイッチ素子をさらに有し、上記制御回路は、該センスアンプで増幅を開始する時に該スイッチ素子をオフにする。

【0026】この破壊読出型メモリ回路によれば、センスアンプの出力の負荷が増幅時に小さくなるので、その増幅動作が速くなるという効果を奏する。

【0027】請求項4の破壊読出型メモリ回路では、請求項2又は3において、上記メモリセルブロックを複数有し、上記バッファメモリセルは該メモリセルブロックの各々に対して備えられ、上記リストアアドレスレジスタは該メモリセルブロックの各々に対して備えられ、上記制御回路は、選択されている該メモリセルブロックに対応した該リストアアドレスレジスタに、現在の行アドレスを保持させ、上記空き時間において、選択されている該メモリセルブロックに対応した該リストアアドレスレジスタに保持されている行アドレスで指定される該メモリセルに再書き込みさせる。

【0028】請求項5の破壊読出型メモリ回路では、請求項4において、上記メモリセルブロックの各々について、現在の上記行アドレスと上記リストアアドレスレジスタの出力との一方を選択して該メモリセルブロック内の行アドレスを選択するための信号を出力する選択回路をさらに有し、上記制御回路は該選択回路に対し、現在の行アドレスが、該選択回路に対応した該メモリセルブロックを選択するものである場合には現在の該行アドレスを選択させ、上記空き時間において該リストアアドレスレジスタの出力を選択させる。

【0029】この破壊読出型メモリ回路によれば、リストアを行うために長いリストア用アドレス線をアクセス用アドレス線に沿って敷設する必要がないので、構成が簡単になるという効果を奏する。

【0030】請求項6の破壊読出型メモリ回路では、請求項5において、上記バッファメモリセル及び上記リストアアドレスレジスタはいずれも、上記メモリセルブロックの各々に対して複数N備えられ、上記選択回路は、現在の上記行アドレスとN個の該リストアアドレスレジスタの出力とのうちの1つを選択し、行アドレスの遷移を検出する行アドレス遷移検出回路をさらに有し、上記

制御回路は、該メモリセルブロックの各々について、アップダウンカウンタと、該遷移が検出され、対応する該メモリセルブロックが選択され、かつ、該アップダウンカウンタのカウントがNより小さい場合には、カウントアップさせる信号を該アップダウンカウンタに供給し、該遷移が検出され、上記空き時間であり、かつ、該カウントが0でない場合にはカウントダウンさせる信号を該アップダウンカウンタに供給するアップ/ダウン信号生成回路とを有する。

【0031】この破壊読出型メモリ回路によれば、アップダウンカウンタのカウントに応じて行アドレスの記憶及び選択の制御が行われるので、その構成が簡単になるという効果を奏する。

【0032】請求項7の破壊読出型メモリ回路では、請求項6において、上記制御回路は、上記メモリセルブロックの各々について、さらにブロック内行アドレス制御回路を有し、該ブロック内行アドレス制御回路は、対応する該メモリセルブロックについて、該メモリセルブロックが選択された場合には、上記カウントがNより小さいとき、N個の該リストアドレスレジスタのうちの該カウントに対応したものに現在の行アドレスを保持させ、かつ、現在の行アドレスを該選択回路に対し選択させ、該カウントがNであるとき、メモリアクセスサイクル内でメモリセルへの書き込みを行う制御信号を出力し、上記空き時間であり、かつ、該カウントが0でない場合には、N個の該リストアドレスレジスタのうちの該カウントに対応したものの出力を該選択回路に対し選択させる。

【0033】請求項8の破壊読出型メモリ回路では、請求項7において、上記ブロック内行アドレス制御回路は、上記選択回路に対し上記選択を行わせる場合に、上記カウントに対応した上記バッファメモリセルを選択させる。

【0034】この破壊読出型メモリ回路によれば、バッファメモリセルの選択制御が容易になるという効果を奏する。

【0035】請求項9の破壊読出型メモリ回路では、請求項5乃至8のいずれか1つにおいて、上記選択回路は、行アドレスのプリデコードと、上記メモリセルブロックの各々に対して備えられ該プリデコードの出力をさらにデコードするワードデコーダとの間に接続されている。

【0036】この破壊読出型メモリ回路によれば、メモリセルブロックの近くに、この選択回路を配置することができる。

【0037】請求項10の破壊読出型メモリ回路では、請求項5において、上記バッファメモリセル及び上記リストアドレスレジスタはいずれも、上記メモリセルブロックの各々に対して複数N備えられ、上記選択回路は、現在の行アドレスと、対応するN個の該リストア

ドレスレジスタの出力とのうちの1つを選択し、該リストアドレスレジスタの各々に対して備えられ、そのレジスタの内容が「有効」であるか「無効」であるかを示すフラグ記憶素子をさらに有し、上記制御回路は、現在の行アドレスにより該メモリセルブロックの1つが選択されている時、選択されている該メモリセルブロックに対応した該フラグ記憶素子の内容が「無効」であれば、これを「有効」にし、かつ、このフラグ記憶素子に対応した該リストアドレスレジスタに現在の行アドレスを保持させ、上記空き時間において、該フラグ記憶素子の内容の1つが「有効」であれば、これを「無効」にし、これに対応した該リストアドレスレジスタの内容を該選択回路に対し選択させる。

【0038】請求項11の破壊読出型メモリ回路では、請求項2又は3において、複数のバンクを有し、該バンクの各々に上記メモリセルブロックを有し、上記リストアドレスレジスタは該メモリセルブロックの各々に対して備えられ、上記制御回路は、選択されているバンクの選択されている該メモリセルブロックに対応した該リストアドレスレジスタに、現在の行アドレスを保持させ、上記空き時間においてバンクの該メモリセルブロックに対応した該リストアドレスレジスタに保持されている行アドレスで指定される該メモリセルに書き込みさせる。

【0039】この破壊読出型メモリ回路によれば、メモリセルブロックに対するリストアドレスレジスタ及び制御回路を、メモリセルアレイから独立した領域に配置することができるという効果を奏する。

【0040】請求項12の破壊読出型メモリ回路では、請求項11において、上記リストアドレスレジスタの各々に対して備えられ、そのレジスタの内容が「有効」であるか「無効」であるかを示すフラグ記憶素子と、「有効」を示している該フラグ記憶素子の出力の1つを選択する有効ビット選択回路と、該有効ビット選択回路の出力に対応して該リストアドレスレジスタのうちの1つの出力を選択する選択回路とをさらに有し、上記制御回路は、選択されている該メモリセルブロックについて、該フラグ記憶素子の内容が「無効」であれば、これを「有効」にし、かつ、このフラグ記憶素子に対応した該リストアドレスレジスタに現在の行アドレスを保持させ、非選択の該バンクについて、該有効ビット選択回路で選択された「有効」ビットに対応した該フラグ記憶素子の内容を「無効」にし、該選択回路の出力で指定される行アドレスのメモリセルに対し対応するバッファメモリセルの内容を書き込ませる。

【0041】請求項13のリストア用アドレス記憶・制御回路では、複数のリストアドレスを記憶するリストアドレス記憶部と、第1チップセレクト信号がアクティブのとき、行アドレスを該リストアドレス記憶部に書き込み、かつ、メモリ装置に対しリストア動作をさせ

ず、該第1チップセレクト信号がインアクティブのとき、該リストアアドレス記憶部の内容、アクティブのリストア信号及びアクティブの第2チップセレクト信号を出力する制御回路とを有する。

【0042】このリストア用アドレス記憶・制御回路によれば、破壊読出型メモリと独立に構成されるという効果を奏する。

【0043】請求項14のリストア用アドレス記憶・制御回路では、請求項13において、上記リストアアドレス記憶部に格納される各行アドレスについて該行アドレスが「有効」であるか「無効」であるかを記憶するフラグ記憶部と、該フラグ記憶部内の「有効」を示しているフラグ中の1つを選択する有効ビット選択回路と、該リストアアドレス記憶部に記憶されている、選択された該フラグに対応した記憶位置の内容を出力する選択回路とをさらに有し、上記制御回路は、上記第1チップセレクト信号がアクティブであり、かつ、該フラグ記憶部内の「無効」を示している1つのフラグを「有効」にし、かつ、このフラグに対応した該リストアアドレス記憶部内の記憶位置に現在の行アドレスを保持させ、該第1チップセレクト信号がインアクティブのとき、該フラグ記憶部内の、選択された該フラグに対応した記憶位置の内容を「無効」にする。

【0044】請求項15の破壊読出型メモリ回路では、メモリセルブロックと、該メモリセルブロックに対して備えられたバッファメモリセルと、外部からのリストア省略指令に応答して、外部からの行アドレスで指定されるメモリセルの内容を上記バッファメモリセルに書き込ませ、かつ、該メモリセルへのリストアを省略させ、外部からのリストア指令に応答して、外部からの行アドレスで指定されるメモリセルに対し、該バッファメモリセルの内容を書き込ませる制御回路とを有する。

【0045】この破壊読出型メモリ回路によれば、これと独立なリストア用アドレス記憶・制御回路との組により、上記請求項1の効果が得られる。

【0046】請求項16の半導体装置では、請求項1乃至12のいずれか1つに記載の破壊読出型メモリ回路、請求項13若しくは14記載のリストア用アドレス記憶・制御回路又は請求項15記載の破壊読出型メモリ回路を含む。

【0047】請求項17のセンスアンプ回路では、例えば図19に示す如く、第1電極と第2電極との間をオン／オフする第1スイッチ素子と、第1電極と第2電極との間をオン／オフする第2スイッチ素子と、ゲート及びドレインがそれぞれ該第1スイッチ素子の該第1電極及び該第2スイッチ素子の該第2電極に接続された第1FETと、ゲート及びドレインがそれぞれ該第2スイッチ素子の該第1電極及び該第1スイッチ素子の該第2電極に接続された第2FETとを有し、該第1及び第2スイッチ素子が連動してオン／オフ制御される。

【0048】このセンスアンプ回路によれば、第1及び第2スイッチ素子をオフにしておくことにより、ダイレクトセンシング方式となり、第1FETと第2FETのソースをアクティブ電位に固定することができる。したがって、このソースをインアクティブ電位からアクティブ電位に遷移させることなく、第1配線と第2配線との電位差に応じ第4配線と第3配線とに流れる電流に差が生じて、増幅が行われる。続いて第1及び第2スイッチ素子をオンにすることにより、通常のフリップフロップ型センスアンプとして機能する。

【0049】このような動作により、このセンスアンプ回路をメモリに用いれば、ロウサイクルタイムを短縮することが可能となるという効果を奏する。

【0050】請求項18のセンスアンプ回路では、例えば図19に示す如く、PMISCクロス結合回路とNMISCクロス結合回路とを有し、該PMISCクロス結合回路は、第1電極と第2電極との間をオン／オフする第1スイッチ素子と、第1電極と第2電極との間をオン／オフする第2スイッチ素子と、ゲート及びドレインがそれぞれ該第1スイッチ素子の該第1電極及び該第2スイッチ素子の該第2電極に接続された第1PMISTランジスタと、ゲート及びドレインがそれぞれ該第2スイッチ素子の該第1電極及び該第1スイッチ素子の該第2電極に接続された第2PMISTランジスタとを有し、該NMISCクロス結合回路は、第1電極と第2電極との間をオン／オフする第3スイッチ素子と、第1電極と第2電極との間をオン／オフする第4スイッチ素子と、ゲート及びドレインがそれぞれ該第3スイッチ素子の該第1電極及び該第4スイッチ素子の該第2電極に接続された第1NMISTランジスタと、ゲート及びドレインがそれぞれ該第4スイッチ素子の該第1電極及び該第3スイッチ素子の該第2電極に接続された第2NMISTランジスタとを有し、該PMISCクロス結合回路と該NMISCクロス結合回路とが縦続接続され、該第1及び第2スイッチ素子が連動してオン／オフ制御され、該第3及び第4スイッチ素子が連動してオン／オフ制御される。

【0051】このセンスアンプ回路によれば、上記第1及び第2スイッチ素子をオンにすることにより、PMISCクロス結合回路と、活性化している又は活性化されるNMISCセンスアンプ15Nとが結合した駆動能力の高いCMISCセンスアンプが構成されて、上記請求項17の効果が高められるという効果を奏する。

【0052】請求項19のセンスアンプ回路では、請求項18において例えば図19に示す如く、上記第1スイッチ素子の上記第2電極と上記第3スイッチ素子の上記第2電極とが接続され、上記第2スイッチ素子の上記第2電極と上記第4スイッチ素子の上記第2電極とが接続されている。

【0053】このセンスアンプ回路によれば、上記第1及び第2スイッチ素子をオンにする前にPMISCクロス

結合回路を活性化しておくことが可能になるという効果を奏する。

【0054】請求項20のセンスアンプ回路では、請求項19において例えば図26に示す如く、上記第1スイッチ素子の上記第2電極と上記第2スイッチ素子の上記第2電極との間に接続されたバッファメモリセルをさらに有する。

【0055】請求項21のセンスアンプ回路では、請求項18において例えば図22に示す如く、上記第1スイッチ素子の上記第2電極と上記第3スイッチ素子の上記第1電極とが接続され、上記第2スイッチ素子の上記第2電極と上記第4スイッチ素子の上記第1電極とが接続されている。

【0056】このセンスアンプ回路によれば、構成の対称性により、第1スイッチング素子の第1電極と第2スイッチング素子の第1電極との間の電位差を増幅することも、第3スイッチング素子の第1電極と第4スイッチング素子の第1電極との間の電位差を増幅することも可能であるという効果を奏する。

【0057】請求項22のセンスアンプ回路では、請求項21において例えば図31に示す如く、上記第3スイッチ素子の上記第2電極と上記第4スイッチ素子の上記第2電極との間に接続されたバッファメモリセルをさらに有する。

【0058】請求項23のセンスアンプ回路では、請求項18において例えば図24に示す如く、上記第1スイッチ素子の上記第1電極と上記第3スイッチ素子の上記第1電極とが接続され、上記第2スイッチ素子の上記第1電極と上記第4スイッチ素子の上記第1電極とが接続されている。

【0059】このセンスアンプ回路によれば、第1～4スイッチ素子がオフの状態、2段のダイレクトセンシングが行われ、1段のダイレクトセンシングの場合よりも増幅率が大いという効果を奏する。

【0060】請求項24のセンスアンプ回路では、請求項23において例えば図32に示す如く、上記第1スイッチ素子の上記第1電極と上記第2スイッチ素子の上記第1電極との間に接続されたバッファメモリセルをさらに有する。

【0061】請求項25のメモリ装置では、例えば図19に示す如く、第1及び第2ビット線にそれぞれメモリセルが接続されたメモリセルアレイと、該第1及び第2ビット線がそれぞれ上記第1スイッチング素子の上記第1電極及び上記第2スイッチング素子の上記第1電極と結合された請求項17記載のセンスアンプ回路と、ダイレクトセンシングを行うために上記第1及び第2スイッチ素子をオフ状態にし、次に電圧増幅のために該第1及び第2スイッチ素子をオンにする制御回路とを有し、上記第1及び第2FETはいずれもPMISTランジスタであり、該第1及び第2FETのソースは、該ダイレク

トセンシング及び該電圧増幅の動作中において高レベル電位に固定される。

【0062】請求項26のメモリ装置では、請求項25において例えば図19に示す如く、上記第1及び第2ビット線を介してそれぞれ上記第1スイッチング素子の上記第1電極及び上記第2スイッチング素子の上記第1電極を低レベル電位にプリチャージするプリチャージ回路をさらに有する。

【0063】請求項27のメモリ装置では、例えば図19に示す如く、第1及び第2ビット線にそれぞれメモリセルが接続されたメモリセルアレイと、該第1及び第2ビット線がそれぞれ上記第1スイッチング素子の上記第1電極及び上記第2スイッチング素子の上記第1電極と結合された請求項17乃至23のいずれか1つに記載のセンスアンプ回路と、ダイレクトセンシングを行うために上記第1及び第2スイッチ素子をオフ状態にし、次に電圧増幅のために該第1及び第2スイッチ素子をオンにする制御回路とを有し、上記第1及び第2FETはいずれもNMISTランジスタであり、該第1及び第2FETのソースは、該ダイレクトセンシング及び該電圧増幅の動作中において低レベル電位に固定される。

【0064】請求項28のメモリ装置では、請求項27において例えば図19に示す如く、上記第1及び第2ビット線を介してそれぞれ上記第1スイッチング素子の上記第1電極及び上記第2スイッチング素子の上記第1電極を高レベル電位にプリチャージするプリチャージ回路をさらに有する。

【0065】請求項29のメモリ装置では、請求項25乃至28のいずれか1つにおいて例えば図19に示す如く、上記第1スイッチング素子の上記第1電極と上記第2スイッチング素子の上記第1電極との間に接続されたイコライズスイッチ素子と、上記第1及び第2ビット線と上記センスアンプ回路との間にそれぞれ接続された第1及び第2転送ゲートとを有する。

【0066】請求項30の半導体装置では、請求項17記載のセンスアンプ回路又は請求項25記載のメモリを含んでいる。

【0067】

【発明の実施の形態】以下、図面に基づいて本発明の実施形態を説明する。

【0068】〔第1実施形態〕図7は、本発明の第1実施形態の、図33に対応した回路を示す。

【0069】この回路は、配線SAと*SAとの間にバッファメモリセル18が接続されている点で、図33の回路と異なる。バッファメモリセル18は、互いに同一構成のバッファメモリセル181と182とを備えている。バッファメモリセル181は、読み出し電位差を比較的大きくするために相補形になっており、メモリセル12と同一構成の記憶素子18a及び18bがそれぞれ配線SA及び*SAに接続され、記憶素子18a及び1

8bの転送ゲートのゲート電極がワード線BWL1に接続されている。バッファメモリセル182は、記憶素子18c及び18dがそれぞれ配線SA及び*SAに接続され、記憶素子18c及び18dの転送ゲートのゲート電極がワード線BWL2に接続されている。

【0070】メモリセルに対するデータアクセス時に、CMOSセンスアンプ15で増幅されたデータをその近くのバッファメモリセル181又は182に一時格納しておき、破壊読み出しされたメモリセルに対しデータの再書き込みを行わずにデータアクセスを完了して、ロウサイクルを短縮する。そして、空き時間、例えばメモリセルブロック、バンク又はチップが非選択の期間或いはリフレッシュ動作時に、バッファメモリセル18に保持されているデータをメモリセルに対し再書き込みさせる。図7の回路に対する各種制御は、制御回路27により行われる。

【0071】次に、ビット線リセット電位 V_{rst1} が $V_{ii}/2$ である場合におけるこの回路の動作を説明する。

【0072】(1) リード動作

図8は、図7の回路のメモリセル12及び13から連続して読み出す動作を示す。

【0073】最初、バッファメモリセル181及び182の記憶内容は無効(空)であるとする。

【0074】初期状態では、ゲート制御信号BLT1が高レベルで転送ゲート10及び11はオンにされ、ビット線BL1、配線SA、ビット線*BL1及び配線*SAはいずれも電位 $V_{ii}/2$ にプリチャージされ、CMOSセンスアンプ15の駆動信号PSA及びNSAはいずれも電位 $V_{ii}/2$ になっている。

【0075】(a1) この状態で、プリチャージ信号PRが低レベルにされてNMOSTランジスタ141~143がオフになり、行アドレスが遷移し、ワード線WL1の電位が立ち上げられる。これによりメモリセル12の転送ゲート122がオンになって、キャパシタ121の電荷移動によりビット線BL1と*BL1との間に200mV程度の微小電位差が生ずる。

【0076】(a2) 駆動信号PSAが電位 V_{ii} にされ駆動信号NSAが V_{ss} にされて、CMOSセンスアンプ15が活性化される。これにより、配線SAと*SAとの間の微小電位差が増幅される。

【0077】読み出しサイクルでリストア動作を行わないので、ゲート制御信号BLT1及びワード線WL1が低レベルにされて転送ゲート10、11及び122がオフになる。これにより、ビット線BL1及び*BL1がそれぞれ配線SA及び*SAから分離されて、CMOSセンスアンプ15の出力の負荷が小さくなり、その増幅動作が速くなる。

【0078】ワード線BWL1が高レベルにされて、記憶素子18a及び18bへの書き込みが開始される。

【0079】コラム選択信号CL1が高レベルにされて、コラムゲート16及び17がオンになり、データバス線DB及び*DB上にデータが読み出される。

【0080】(a3) ワード線BWL1が低レベルにされて、記憶素子18a及び18bに書き込まれたデータが保持される。また、コラム選択信号CL1が低レベルにされて、コラムゲート16及び17がオフになる。

【0081】ビット線電位リセット動作が行われる。すなわち、駆動信号PSA及びNSAの電位が電位 $V_{ii}/2$ にされてCMOSセンスアンプ15が不活性になり、かつ、プリチャージ信号PR及びゲート制御信号BLT1が高レベルにされて配線BL1、SA、*BL1及び*SAが電位 $V_{ii}/2$ にプリチャージされる。

【0082】ビット線BL1及び*BL1は電位 $V_{ii}/2$ の近くからプリチャージされるので、その時間が短縮される。

【0083】例えば、従来40nsであったロウサイクルが、このような動作により20nsに短縮される。

【0084】(2) ライト動作

図9は、図7の回路のメモリセル12及び13へ連続して書き込む動作を示しており、図7の回路に対する制御は、一部の動作タイミングが異なる外はリードのときと同一である。バッファメモリセル181及び182の内容が無効である場合には、コラム選択信号CL1が高レベルにされた後に、データバス線DB及び*DB上のデータにより、配線SA及び*SA上並びにバッファメモリセル181内のデータが書き換えられる。

【0085】(3) リストア動作

図10は、図7の回路のリストア動作を示す。バッファメモリセル181の内容をメモリセル12にリストアする場合を以下に説明する。

【0086】リード動作での初期状態と同じ状態からリストア動作が開始される。

【0087】(b1) プリチャージ信号PRが低レベルにされ、ワード線BWL1が高レベルにされて、記憶素子18a及び18b内のデータが配線SA及び*SA上に読み出され、ビット線BL1と*BL1との間に200mV程度の微小電位差が生ずる。

【0088】(b2) 駆動信号PSAが電位 V_{ii} にされ、駆動信号NSAが電位 V_{ss} にされて、CMOSセンスアンプ15が活性化され、これによりビット線BL1と*BL1との間の微小電位差が増幅される。

【0089】行アドレスが遷移し、ワード線WL1の電位が立ち上げられ、これによりメモリセル12の転送ゲート122がオンになって、メモリセル12への書き込みが開始される。ワード線BWL1が低レベルに遷移する。

【0090】(b3) ワード線WL1が低レベルにされて、メモリセル12に再書き込みされたデータが保持される。

【0091】上記(a3)でのビット線電位リセット動作と同じ動作が行われる。

【0092】図1は、図7の回路を含むDRAMの行アドレス系回路の概略構成を示す。この回路では、非選択のメモリセルブロックに対し再書き込みが行われる。図1では簡単化のために、 4×2 個のセルアレイを備えた2つのメモリセルブロック191及び192が示されている。

【0093】行アドレスレジスタ20に保持された行アドレスRAは、例えば、ブロックアドレス21でその上位5ビットが2ビットと3ビットのグループに分けられて各々デコードされ、 $4 + 8 = 12$ 本の線路上に信号が出力され、これがメモリセルブロック191及び192の各々に対して備えられたブロックデコーダ(23)に供給される。行アドレスの下位8ビットは、例えば、ワードアドレス22で2ビットと3ビットと3ビットのグループに分けられて各々デコードされ、 $8 + 8 + 4 = 20$ 本の線路上に信号WAが出力され、これがメモリセルブロック191及び192の各々に対して備えられた記憶・選択回路(24)に供給される。

【0094】ブロックデコーダ23は、例えばアンドゲートで構成され、メモリセルブロック191が選択されたときに‘1’になるブロック選択信号BS1を記憶・選択回路24に供給する。

【0095】行アドレスレジスタ20の出力の全ビットはアドレス遷移検出回路25に供給されて、行アドレスが遷移する毎にパルスが生成され、信号ATとして各記憶・選択回路24に供給される。

【0096】記憶・選択回路24は、メモリセルブロック191が選択されたとき、すなわちブロック選択信号BS1が‘1’のとき、信号ATのパルスにตอบสนองして信号WAを、記憶すると共に信号WXとしてワードデコーダ26に供給する。これにより、例えば、ワード線WL1が選択されて上述のようにメモリセル12のデータが読み出され、読み出しの場合にはワード線BWL1にパルスが供給されてバッファメモリセル18に保持される。コラムアドレスが不図示のコラムデコーダでデコードされて、コラムゲート16及び17がオンにされ、読み出しの場合には配線SA及び*SA上のデータがそれぞれデータバス線DB及び*DB上に伝達され、書き込みの場合にはデータバス線DB及び*DB上のデータが配線SA及び*SA上に伝達されてバッファメモリセル18に書き込まれる。メモリセル12へのリストア動作が行われずにメモリセル12に対するアクセスが完了する。

【0097】記憶・選択回路24は、メモリセルブロック191が非選択のとき、すなわちブロック選択信号BS1が‘0’のとき、信号ATのパルスにตอบสนองして、選択されているメモリセルブロックへのアクセスと並列に、上述のリストア動作を行わせる。すなわち、例えば

ワード線BWL1にパルスを供給してバッファメモリセル18に保持されたデータを配線SA及び*SA上に読み出させ、記憶・選択回路24に格納されているブロック内行アドレスを信号WXとしてワードデコーダ26に供給して例えばワード線WL1を選択し、メモリセル12に対する再書き込みを行わせる。

【0098】図2は、図1中の記憶・選択回路24の構成例を示す。

【0099】信号WAは、レジスタ241、242及びセクタ243に供給され、レジスタ241及び242の出力WB及びWCはセクタ243に供給される。レジスタ241及び242の記憶状態は、カウンタ244のカウントで表される。

【0100】すなわち、カウント0は、レジスタ241及び242の内容がいずれも無効(空)であって、信号WAをレジスタ241に保持可能であることを表している。この状態で信号WAがレジスタ241に保持される時、カウントが1になり、この値は、レジスタ241の内容が有効であって、これを読み出し可能であり、かつ、レジスタ242の内容が無効であって、信号WAをレジスタ242に保持可能であることを表している。この状態で信号WAがレジスタ242に保持される時、カウントが2になり、この値は、レジスタ241及び242の内容が有効であって、まずレジスタ242を読み出し可能であり、かつ、メモリアクセス時にリストア省略が不可能であることを表している。この状態でWCが信号WXとしてセクタ243で選択される時、カウントが1になり、この状態でWBが信号WXとしてセクタ243で選択される時、カウントが0になる。

【0101】カウンタ244は、UP/DW信号生成回路245からのアップパルスによりカウントアップされ、ダウンパルスによりカウントダウンされる。UP/DW信号生成回路245は、カウンタ244のカウント、ブロック選択信号BS1及び行アドレス遷移検出信号ATに基づいてこのアップパルス又はダウンパルスを生成する。すなわち、ブロック選択信号BS1が‘1’のとき、カウントが2でなければ信号ATのパルスにตอบสนองしてアップパルスを生成し、ブロック選択信号BS1が‘0’のとき、カウントが0でなければ信号ATのパルスにตอบสนองしてダウンパルスを生成する。

【0102】図3は、図2中のUP/DW信号生成回路245の構成例をカウンタ244と共に示す。

【0103】ブロック選択信号BS1及び行アドレス遷移検出信号ATはアンドゲート281に供給され、その出力がアンドゲート282の一方の入力端に供給される。アンドゲート282の他方の入力端には、カウンタ244の上位ビット出力端Q1からの出力F2がインバータ283を介して供給される。これにより、ブロック選択信号BS1が‘1’のとき、カウントが2でなければ、信号ATのパルスにตอบสนองして、アンドゲート282

からカウンタ244へアップパルスが供給される。

【0104】アンドゲート284には、ブロック選択信号BS1をインバータ285で反転したもの及び信号ATが供給され、その出力はアンドゲート286の一方の入力端に供給される。アンドゲート286の他方の入力端には、カウンタ244の出力Q1及びQ0からのF2とF1との論理和をオアゲート287でとったものが供給される。これにより、ブロック選択信号BS1が‘0’のとき、カウントが0でなければ、信号ATのパルスにตอบสนองして、アンドゲート286からカウンタ244へダウンパルスが供給される。

【0105】図2に戻って、ブロック内行アドレス制御回路246は、カウンタ244のカウント、ブロック選択信号BS1及び信号ATに基づいて、レジスタ241及び242をラッチ制御し、セレクトア243を選択制御し、信号NRML並びにバッファセル用ワード選択信号BWL1及びBWL2を生成する。このラッチ及び選択の制御は、次のように行われる。

【0106】すなわち、ブロック選択信号BS1が‘1’のときには、制御回路246は、信号ATのパルスにตอบสนองして、セレクトア243に対しカウントによらず信号WAを選択させ、かつ、カウントが0であればレジスタ241のクロック入力端CKにストア信号STR1を供給して信号WAをレジスタ241に保持させ、カウントが1であればレジスタ242のクロック入力端CKにストア信号STR2を供給して信号WAをレジスタ242に保持させ、カウントが2であれば信号NRMLをアクティブにする。図1の制御回路27は、信号NRMLアクティブにตอบสนองして、バッファメモリセル18を選択せずにメモリセルブロック191に対し、メモリアクセスサイクル内でリストア動作を行う従来と同様のアクセス制御を行う。ブロック選択信号BS1が‘0’のときには、制御回路246は、信号ATのパルスにตอบสนองしてセレクトア243に対し、カウントが1であればリストア信号RSTR1のパルスでWBを選択させ、カウントが2であればリストア信号RSTR2のパルスでWCを選択させ、カウントが0であれば何もしない。

【0107】図4は、図2中のブロック内行アドレス制御回路246の構成例を示す。

【0108】信号F2及びF1はそれぞれインバータ301及び302で反転されてアンドゲート303に供給される。アンドゲート303の出力、ブロック選択信号BS1及び行アドレス遷移検出信号ATは、アンドゲート304に供給される。アンドゲート304の出力はディレイ回路305及びインバータ306を介してアンドゲート307の一方の入力端に供給されると共に、アンドゲート307の他方の入力端に直接供給される。これにより、メモリセルブロック191が選択され、カウントが0のとき、信号ATのパルスにตอบสนองして、ディレイ回路305の遅延時間に等しい幅のパルスがアンドゲ

ート307からストア信号STR1として出力される。

【0109】信号F2はインバータ311で反転されて、信号F1は直接、アンドゲート313に供給される。アンドゲート313の出力、ブロック選択信号BS1及び信号ATはアンドゲート314に供給される。アンドゲート314の出力はディレイ回路315及びインバータ316を介してアンドゲート317の一方の入力端に供給されると共に、アンドゲート317の他方の入力端に直接供給される。これにより、メモリセルブロック191が選択され、カウントが1のとき、信号ATのパルスにตอบสนองして、ディレイ回路315の遅延時間に等しい幅のパルスがアンドゲート317からストア信号STR2として出力される。

【0110】アンドゲート313の出力、ブロック選択信号BS1をインバータ320で反転したもの及び信号ATはアンドゲート324に供給される。アンドゲート324の出力はディレイ回路325及びインバータ326を介してアンドゲート327の一方の入力端に供給されると共に、アンドゲート327の他方の入力端に直接供給される。これにより、メモリセルブロック191が非選択でカウントが1のとき、信号ATのパルスにตอบสนองして、ディレイ回路325の遅延時間に等しい幅のパルスがアンドゲート327からリストア信号RSTR1として出力される。

【0111】信号F1はインバータ332で反転されて、信号F2は直接、アンドゲート333に供給される。アンドゲート333の出力、ブロック選択信号BS1及び信号ATはアンドゲート334に供給される。これにより、メモリセルブロック191が選択され、カウントが2のとき、信号ATのパルスがアンドゲート334を介し信号NRMLとして出力される。

【0112】アンドゲート333の出力、ブロック選択信号BS1をインバータ340で反転したもの及び信号ATはアンドゲート344に供給される。アンドゲート344の出力はディレイ回路345及びインバータ346を介してアンドゲート347の一方の入力端に供給されると共に、アンドゲート347の他方の入力端に直接供給される。これにより、メモリセルブロック191が非選択でカウントが2のとき、信号ATのパルスにตอบสนองして、ディレイ回路345の遅延時間に等しい幅のパルスがアンドゲート347からリストア信号RSTR2として出力される。

【0113】ストア信号STR1及びリストア信号RSTR1がオアゲート36に供給され、これらのいずれかが‘1’のとき、オアゲート36の出力である信号BWL1Sが‘1’になる。ストア信号STR2及びリストア信号RSTR2がオアゲート37に供給され、これらのいずれかが‘1’のとき、オアゲート37の出力である信号BWL2Sが‘1’になる。信号BWL1S及びBWL2Sは、不図示の回路により、図8～10に示す

動作との関係でタイミング調整されて、それぞれバッファセル用ワード線BWL1及びBWL2を選択する信号になる。

【0114】図5は、DRAMのメモリセルアレイ及びその周辺回路の配置図であり、図5中には、図1中の構成要素に対応した符号が付されている。ワードデコーダ26、並びに、WX及びATの信号線は、隣り合うメモリセルブロックの間の領域に配置されている。記憶・選択回路24は、メモリセルブロックに対応したイコライザ付プリチャージ回路14、CMOSセンスアンプ15及びバッファメモリセル18の隣り合うブロックの間に配置されている。

【0115】次に、図6の概略タイムチャートを参照して、図1のメモリセルブロック191のメモリセル12及び13に連続してアクセスし、次にメモリセルブロック192に連続してアクセスする場合の、メモリセルブロック191に関する動作を説明する。図6中の信号WL1S、BWL1S、WL2S及びBWL2Sはそれぞれ、ワード線WL1、BWL1、WL2及びBWL2を選択するための、タイミング調整前のものである。

【0116】最初、カウンタ244のカウントは2進数‘00’であるとする。

【0117】図7のメモリセル12にアクセスするために行アドレスRAが遷移（BS1が高レベルに遷移）すると、信号ATのパルスが生成される。これにより、UP/DW信号生成回路245でアップパルスが生成されてカウンタ244のカウントが‘01’になり、これと同時に、STR1のパルスにより信号WAがレジスタ241に保持され、かつ、セクタ243により信号WAが選択される。次に、ワード線WL1の電位が立ち上がり、配線SAと*SAとの間の微小電位差がCMOSセンスアンプ15で増幅され、続いてワード線BWL1の電位が立ち上がって、バッファメモリセル181に書き込まれる。メモリセル12への再書き込みが行われずにビット線BL1及び*BL1が電位 $V_{ii}/2$ にプリチャージ（リセット）される。

【0118】図7のメモリセル13にアクセスするために行アドレスRAが遷移（BS1は高レベルを維持）すると、信号ATのパルスが生成され、前記同様にして、カウンタが‘10’になり、STR2のパルスにより信号WAがレジスタ242に保持され、メモリセル13の内容がバッファメモリセル182に書き込まれ、メモリセル13への再書き込みが行われずにビット線リセット動作が行われる。

【0119】メモリセルブロック192をアクセスするために行アドレスRAが遷移（BS1は低レベルに遷移）すると、信号ATのパルスが生成される。UP/DW信号生成回路245でダウンパルスが生成されてカウンタ244のカウントが‘01’になり、これと同時に、RSTR2のパルスによりセクタ243でWCが

選択される。ワード線BWL2の電位が立ち上がり、配線SAと*SAとの間の微小電位差がCMOSセンスアンプ15で増幅され、続いてワード線WL2の電位が立ち上がり、バッファメモリセル182のデータがメモリセル13へ再書き込みされ、次にビット線リセット動作が行われる。

【0120】再度メモリセルブロック192をアクセスするために行アドレスRAが遷移（BS1は低レベルを維持）すると、信号ATのパルスが生成され、前記同様にして、カウンタが‘00’になり、RSTR1のパルスによりセクタ243でWBが選択され、バッファメモリセル181のデータがメモリセル12へ再書き込みされ、次にビット線リセット動作が行われる。

【0121】本第1実施形態によれば、メモリセルブロック選択中に非選択のメモリセルブロックでリストアが行われるので、リストア省略後リストアが行われる迄の時間が、後述のバンクやチップの非選択のときにリストアを行う場合よりも短くなり、バッファメモリセル利用効率が向上する。

【0122】また、図1のワードデコーダ26の前段に、図2のレジスタ241及び242とセクタ243とを備えることにより、メモリセルブロック選択中に非選択のメモリセルブロックでリストアを行うために長いリストア用アドレス線をアクセス用アドレス線に沿って敷設する必要がないので、構成が簡単になる。

【0123】さらに、アップダウンカウンタ244のカウントに応じて行アドレスの記憶及び選択の制御が行われるので、その構成が簡単になる。

【0124】（変形例）図7中のバッファメモリセルは各種の記憶素子を用いることができ、例えばバッファメモリセル181はセル18a又は18bの一方のみでもよい。さらに、図11(A)～(C)のいずれのバッファメモリセル181A～18Cを用いることもできる。バッファメモリセル181A～18CはそれぞれPMOSフリップフロップ、NMOSフリップフロップ及びCMOSフリップフロップに転送ゲートを接続したものであり、メモリセルとしては公知のものである。

【0125】図12(A)は、他の変形例を示す、図1中の一部に対応した回路を示す。

【0126】リストアサイクル時間がリードサイクル及びライトサイクルの時間よりも長い場合には、リストアサイクル中に同一メモリセル行がアクセス対象になるとウエイトが必要になる。そこで、この場合には、ブロック選択信号BS1をインバータ231で反転したもの及びバーストモードBRSTMDを、アンドゲート232を介して記憶・選択回路24に供給し、これを図3及び図4においてブロック選択信号BS1を反転した信号の代わりに用いることにより、メモリセルブロック191が非選択かつバーストモードである場合に、リストア動作を行う。

【0127】図12(B)は、第1実施形態の他の変形例を示す、図1中の一部に対応した回路を示す。

【0128】この回路では、チップセレクト信号*CSを記憶・選択回路24に供給し、これを図3及び図4においてブロック選択信号BS1を反転した信号の代わりに用いることにより、メモリアクセスが行われていない期間においてリストア動作を行う。この場合、メモリセルブロックは1つであってもよい。

【0129】〔第2実施形態〕上記第1実施形態では、各メモリセルブロックに対して、ワードデコード26の近くに記憶・選択回路24を配置したが、メモリセルアレイの周辺に纏めて記憶・選択回路を配置することも可能である。図13は、これを実現した多バンク型DRAMの行アドレス系回路概略構成を示す。

【0130】このDRAMは、バンク#0～#3を備え、非選択のバンクでリストア動作を行う。選択された1つのバンクにアクセス用行アドレスを供給すると共に、これと独立に、非選択のバンクの1つにリストア用行アドレスRXを、制御回路27Aから供給可能となっている。各バンクはm個のメモリセルブロックを備え、各メモリセルブロックに対して上記第1実施形態と同様に、2行のバッファメモリセルを備え、その第1行及び第2行はそれぞれワード線BWL1及びBWL2で選択される。

【0131】このDRAMは、互いに同一構成のバンク#0～#3に対してそれぞれ互いに同一構成の記憶・選択回路24A～24Dを備えている。

【0132】概説すれば、例えばバンク#0をアクセスするとき、ワードアドレスRALがリストアアドレス（メモリセルブロック及びその中のリストア行を指定するアドレス）として記憶・選択回路24Aに記憶されると共に、非選択バンクに対応した記憶・選択回路24B～24Dのうち優先順位に従って例えば記憶・選択回路24Bが、制御回路27Aからの選択制御信号SLにより選択される。そして、選択されない記憶・選択回路24A、24C及び24Dの出力がハイインピーダンス状態にされると共に、記憶・選択回路24Bに記憶されているリストアアドレスの1つが記憶・選択回路24B内で選択され、リストア用アドレスRXとして出力される。制御回路27Aはこれに回答して、リストア用アドレスRXで選択されたバンク#1内のメモリセルブロック内のメモリセル行に対しリストア動作を行わせる。

【0133】行アドレスレジスタ20に保持された行アドレスRAのうち、上位2ビットRAHがバンクデコード29Hでデコードされて、バンク選択信号BAS0～BAS3が生成され、制御回路27A及び記憶・選択回路24A～24Dの各々に供給される。j=0～3の各々について、BASjが‘1’のときバンク#jが選択される。

【0134】行アドレスレジスタ20の出力のうち、R

AHを除くワードアドレスRALのうちのメモリセルブロック選択用上位部がブロックデコード29Lでデコードされて、ブロック選択信号BS1～BSmが生成され、ブロック選択信号BS1～BSm及びワードアドレスRALが記憶・選択回路24A～24Dの各々に供給される。i=1～mの各々について、ブロック選択信号BSiが‘1’のとき、選択されたバンク内のi番目のメモリブロックが選択される。

【0135】アドレス遷移検出回路25は、行アドレスレジスタ20の出力が遷移する毎に1つのパルスを出力し、これを信号ATとして記憶・選択回路24A～24Dへ供給する。

【0136】図14は、図13中の記憶・選択回路24Aの構成例を示す。

【0137】レジスタ411、412、RSフリップフロップ511、512及び制御回路61は1つのメモリセルブロックに対するものであり、これと同一構成のものが各メモリセルブロックに対して備えられている。レジスタ411、412及び制御回路61はそれぞれ図2のレジスタ241、242及びブロック内行アドレス制御回路246に対応し、RSフリップフロップ511及び512はそれぞれ図2のカウンタ244の下位ビット及び上位ビットに対応している。

【0138】すなわち、記憶・選択回路24Aは、i=1～mの各々について、行アドレスRALを一時記憶するためのレジスタ4i1及び4i2と、レジスタ4i1及び4i2の内容がそれぞれ有効であるか無効であることを示すRSフリップフロップ5i1及び5i2と、レジスタ4i1及び4i2をラッチ制御しRSフリップフロップ5i1及び5i2の状態を制御する制御回路6iとを備えている。

【0139】レジスタ4i1及び4i2の出力RAi1及びRAi2は、セクタ50に供給される。

【0140】RSフリップフロップ5i1及び5i2の非反転出力端Qからの有効フラグFi1及びFi2は優先ビット‘1’セクタ60に供給される。優先ビット‘1’セクタ60は、有効フラグFi1及びFi2に対応してそれぞれ優先ビット選択信号PBi1及びPBi2を出力し、制御回路6iに供給する。優先ビット‘1’セクタ60は、2mビットの入力の内、‘1’のビットの1つを、予め定められた優先順位に基づいて選択し、これに対応する出力ビットのみ‘1’にし、他の出力ビットを全て‘0’にする。但し、上記選択制御信号SLにより優先ビット‘1’セクタ60が選択されていなければ、優先ビット‘1’セクタ60の全出力ビットが‘0’になる。

【0141】例えばm=2のとき、優先ビット‘1’セクタ60の入力を、F11、F12、F21及びF22をこの順に並べたビット列で表し、優先ビット‘1’セクタ60の出力を、PB11、PB12、PB21

及びPB22をこの順に並べたビット列で表すと、優先ビット‘1’セクタ60の入力に対する出力は、例えば次のようになる。

【0142】

入力‘1111’→出力‘0100’

入力‘1011’→出力‘0001’

入力‘1010’→出力‘1000’

入力‘0010’→出力‘0010’

レジスタ411～4m2の出力RA11～RAm2のうち、優先ビット‘1’セクタ60の出力の‘1’のビットに対応したものがセクタ50で選択され、リストア用アドレスRXとして出力される。すなわち、PB11=‘1’のときには行アドレスRAi1が選択され、PB12=‘1’のときには行アドレスRAi2が選択される。

【0143】優先ビット‘1’セクタ60の出力はBWL選択回路6Aにも供給される。この回路6Aは、PB11=‘1’のときワード線BWL1を‘1’にし、PB12=‘1’のときワード線BWL2を‘1’にする。

【0144】制御回路6iには、RSフリップフロップ5i1及び5i2の反転出力端*Qからの無効フラグ*Fi1及び*Fi2、優先ビット‘1’セクタ60からの優先ビット選択信号PB11及びPB12、並びに、バンク選択信号BAS0、行アドレス遷移検出信号AT及びブロック選択信号BSiが供給される。

【0145】図15は、制御回路61の構成例を示す。

【0146】信号AT、BAS0及びBS1はアンドゲート610に供給され、その出力と無効フラグ*F11とがアンドゲート611に供給され、アンドゲート611からセット信号SET11が出力される。これにより、バンク選択信号BAS0、ブロック選択信号BS1及び無効フラグ*F11が‘1’のとき、すなわち、バンク#0内の1番目のメモリセルブロックが選択され、レジスタ411の内容が無効（空）のとき、信号ATのパルスがセット信号SET11としてアンドゲート611から出力され、図14において、レジスタ411に行アドレスRALが保持され、かつ、RSフリップフロップ511がセットされる。

【0147】アンドゲート610の出力及び無効フラグ*F12がアンドゲート612に供給され、その出力と、アンドゲート611の出力をインバータ613で反転したものがアンドゲート614に供給され、アンドゲート614からセット信号SET12が出力される。これにより、セット信号SET11が‘1’であればセット信号SET12は‘0’になる。セット信号SET11が‘0’で、バンク選択信号BAS0、ブロック選択信号BS1及び無効フラグ*F12が‘1’のとき、すなわち、バンク#0内の1番目のメモリセルブロックが選択され、レジスタ411の内容が有効、レジスタ41

2の内容が無効のとき、信号ATのパルスがセット信号SET12としてアンドゲート614から出力され、図14において、レジスタ412に行アドレスRALが保持され、かつ、RSフリップフロップ512がセットされる。

【0148】バンク選択信号BAS0をインバータ615で反転したもの、信号AT及びPB11がアンドゲート616に供給され、アンドゲート616からリセット信号RST11が出力される。これにより、バンク選択信号BAS0が‘0’で優先ビット選択信号PB11が‘1’のとき、すなわち、バンク#0が非選択でRSフリップフロップ511の出力F11=‘1’が優先的に選択されたとき、信号ATのパルスがリセット信号RST11としてアンドゲート616から出力され、図14において、レジスタ411の内容がリストア用アドレスRXとして選択され、ワード線BWL1が‘1’にされ、かつ、RSフリップフロップ511がリセットされる。

【0149】バンク選択信号BAS0をインバータ615で反転したもの、信号AT及びPB12がアンドゲート617に供給され、アンドゲート617からリセット信号RST12が出力される。これにより、バンク選択信号BAS0が‘0’で優先ビット選択信号PB12が‘1’のとき、すなわち、バンク#0が非選択でRSフリップフロップ512の出力F12=‘1’が優先的に選択されたとき、信号ATのパルスがリセット信号RST12としてアンドゲート617から出力され、図14において、レジスタ412の内容がリストア用アドレスRXとして選択され、ワード線BWL2が‘1’にされ、かつ、RSフリップフロップ512がリセットされる。

【0150】（変形例）図16は、第2実施形態の変形例を示す、図13に対応したブロック図である。

【0151】この回路では、行アドレスレジスタ20の出力の全ビットRAHLが、互いに同一構成の記憶・選択回路24A'～24D'の各々に供給される。記憶・選択回路24A'～24D'から出力される行アドレスはそれぞれバンク#0～3に供給される。記憶・選択回路24A'は、次の点、すなわち、行アドレスRAHLが図14のセクタ50に供給され、バンク#0が選択されているときに、行アドレスRAHLが選択され、RXとしてバンク#0に供給されるという点以外は、図14の回路に類似している。バンク#0が非選択のときは上記の場合と同一である。他の記憶・選択回路についても同様である。

【0152】この変形例によれば、非選択の全てのバンクについて、リストア動作が並列して行われる。

【0153】〔第3実施形態〕図17は、DRAM70と、この外部に備えたリストア用アドレス記憶・制御回路80との組み合わせの概略構成を示す。

【0154】図17では、簡単化のために、DRAM70には4つのメモリセルブロック71～74が備えられ、これに対応してそれぞれ1行のバッファメモリセル行75～78が備えられている場合を示している。バッファメモリセル行75～78がいずれも1行であることから、メモリセルブロックを指定すると、これに対応したバッファメモリセル行が定まる。

【0155】DRAM70には、行アドレスRA及び列アドレスが時分割で供給される。DRAM70内の制御回路79には、外部の制御回路80からストア信号STR及びリストア信号RSTRが供給される。

【0156】DRAM70では、チップセレクト信号*CSがアクティブ、すなわち‘0’の場合、次のように動作する。

【0157】(1) 制御回路79は、ストア信号STRが‘1’のとき、メモリセルブロックに対しリストアなしのメモリアクセスが行われるように制御し、かつ、バッファメモリセル行に対しアクセスしたデータを保持させる。

【0158】(2) 制御回路79は、リストア信号RSTRが‘1’のとき、保持したアクセス行のデータをこの行にリストアさせる。

【0159】(3) 制御回路79は、ストア信号STR及びリストア信号RSTRが共に‘0’のとき、リストアを含む通常のメモリアクセスが行われるように制御する。

【0160】制御回路80において、レジスタ41～44は図14のレジスタ411～4m1に対応し、フリップフロップ51～54は図14のRSフリップフロップ511～5m1に対応し、ブロックデコーダ29A、アドレス遷移検出回路25A、セクタ50A及び優先ビット‘1’セクタ60Aはそれぞれ、図13のブロックデコーダ29L、アドレス遷移検出回路25並びに図14のセクタ50及び優先ビット‘1’セクタ60に対応し、制御回路61Xは図14の制御回路61～6mに対応している。

【0161】行アドレスRAは、リストア用アドレス記憶・制御回路80のレジスタ41～44及びアドレス遷移検出回路25Aに供給される。また、行アドレスRAのうちメモリセルブロック選択用上位ビットがブロックデコーダ29Aに供給され、その出力が制御回路61Xに供給される。セクタ50Aの出力端は、DRAM70のアドレス入力端に接続されている。

【0162】アドレス遷移検出回路25Aの出力信号*AT及びDRAM70に対する従来のチップセレクト信号*CSがノアゲート82に供給され、その出力及びチップセレクト信号*CSが制御回路61Xに供給される。信号*CS及び制御回路61Xからのチップセレクト信号*CSRがアンドゲート81に供給され、アンドゲート81からDRAM70のチップセレクト端子に対

しチップセレクト信号*CSLが供給される。

【0163】次に、上記の如く構成された本第3実施形態の動作を、DRAM70のメモリセルブロック71に対しアクセスし次にDRAM70を非選択にする場合について説明する。

【0164】最初、フリップフロップ51～54は全てリセットされ、リストア信号RSTRが‘0’、チップセレクト信号*CSRが‘1’になっている。この状態で*CSが‘0’に遷移し、*CSLが‘0’に遷移して、DRAM70が選択される。行アドレスRAの遷移に応答して、ノアゲート82から制御回路61Xへパルスが供給され、この時のブロックデコーダ29Aの出力に基づいて、レジスタ41のクロック入力端CK及びフリップフロップ51のセット入力端にこのパルスが供給されて、行アドレスRAがレジスタ41に保持され、かつ、フリップフロップ51がセットされる。他方、ストア信号STRが‘1’にされ、これにより制御回路79は、メモリセルブロック71に対しリストアなしのメモリアクセスが行われるように制御する。ストア信号STRが‘0’にされる。

【0165】次に、チップセレクト信号*CSが‘1’になると、制御回路61Xによりチップセレクト信号*CSRが‘0’にされ且つリストア信号RSTRが‘1’にされる。これにより、チップセレクト信号*CSLが‘0’になってDRAM70が選択される。また、優先ビット‘1’セクタ60Aの出力‘1000’に対応してセクタ50Aによりレジスタ41の出力が選択され、これがリストア用アドレスRXとしてDRAM70に供給される。制御回路79は、リストア信号RSTRが‘1’であるので、リストア用アドレスRXの上位のメモリセルブロック選択部でバッファメモリセル行75を選択し、リストア用アドレスRXでメモリセルブロック71内のメモリセル行を選択して、バッファメモリセル行75の内容をメモリセルブロック71の選択行にリストアさせる。他方、制御回路61Xによりフリップフロップ51がリセットされる。これらのリストア動作後に、リストア信号RSTRが‘0’にされる。

【0166】(変形例) 図18は、第3実施形態の変形例を示す、図17に対応したブロック図である。

【0167】この回路では、行アドレスRA及びチップ選択信号*CSがセクタ50Bに供給され、チップ選択信号*CSが‘0’のときに、行アドレスRAがセクタ50Bで選択され、RXとしてDRAM70に供給される。チップ選択信号*CSが‘1’のときには、上記第3実施形態と同じ動作が行われる。

【0168】なお、リストアアドレスにチップアドレスを含ませることにより、複数のDRAMに対し1つのリストア用アドレス記憶・制御回路を備えた構成であってもよい。

【0169】[第4実施形態]図19は、本発明の第4実施形態に係るDRAM内のビット線対に接続された回路を示す。

【0170】この回路では、メモリセルアレイMC1とMC2とでセンスアンプを共通に使用可能にするため、左右略対称になっている。

【0171】CMOSセンスアンプを構成するPMOSクロス結合回路15P及びNMOSクロス結合回路15Nは、転送ゲートが組み込まれている点に特徴がある。

【0172】すなわち、PMOSクロス結合回路15Pでは、PMOSTランジスタ151のゲートとPMOSTランジスタ152のドレインとの間に転送ゲート10Aが接続され、PMOSTランジスタ152のゲートとPMOSTランジスタ151のドレインとの間に転送ゲート11Aが接続されて、ドレイン側の配線SA及び*SAがそれぞれゲート側の配線ISO1及び*ISO1と導通/遮断可能になっている。転送ゲート10A及び11Aのゲートにはゲート制御信号MID1が供給される。ゲート制御信号MID1を低レベルにして転送ゲート10A及び11Aをオフにしておくことにより、ダイレクトセンシング方式となり、PMOSTランジスタ151及び152のソースを電位V_{ii}に固定し且つコラムゲート16及び17を早期にオンにすることが、可能となる。

【0173】同様に、NMOSクロス結合回路15Nでは、NMOSTランジスタ153のゲートとNMOSTランジスタ154のドレインとの間に転送ゲート10Bが接続され、NMOSTランジスタ154のゲートとNMOSTランジスタ153のドレインとの間に転送ゲート11Bが接続されて、ドレイン側の配線SA及び*SAがそれぞれゲート側の配線ISO2及び*ISO2と導通/遮断可能になっている。転送ゲート10B及び11Bのゲートにはゲート制御信号MID2が供給される。

【0174】PMOSクロス結合回路15Pのソースは電位V_{ii}に固定され、NMOSクロス結合回路15Nのソースは電位V_{ss}に固定されている。

【0175】また、図33のイコライザ付プリチャージ回路14が、プリチャージ回路14A1とイコライザ14B1とに分離され、プリチャージ回路14A1は転送ゲート10及び11に対しメモリセル側のビット線BL1と*BL1との間に接続され、イコライザ14B1はその反対側の配線ISO1と*ISO1との間に接続されている。

【0176】メモリセルMC2側のプリチャージ回路14A2、転送ゲート10C及び11C、イコライザ14B2、プリチャージ信号PR2、ゲート制御信号BLT2、信号EQ2、ビット線BL2及び*BL2、配線ISO2及び*ISO2はそれぞれ、メモリセルMC1側のプリチャージ回路14A1、転送ゲート10及び1

1、イコライザ14B1、プリチャージ信号PR1、ゲート制御信号BLT1、信号EQ1、ビット線BL1及び*BL1、配線ISO1及び*ISO1に対応している。

【0177】この回路に対する各種制御は、制御回路27Bにより行われる。

【0178】図19では、メモリセルアレイMC1に接続された複数のワード線のうちの1つWL1のみ表している。

【0179】他の点は、図33と同一構成である。

【0180】次に、ビット線リセット電位V_{rst1}がV_{ii}/2である場合におけるこの回路のリード動作を説明する。図20は、同一行アドレスに対し列アドレスが連続的に変化する場合のリード動作を示す。

【0181】メモリセルアレイMC1をアクセスする間、ゲート制御信号BLT2は低レベルで転送ゲート10C及び11Cがオフ、ゲート制御信号MID2は高レベルで転送ゲート10B及び11Bはオンになっている。

【0182】初期状態では、ゲート制御信号BLT1が低レベルで転送ゲート10及び11がオフになって、メモリセルアレイMC1側でリセットされ、センスアンプ側で前のデータが保持されている。すなわち、メモリセルアレイMC1側では、ワード線WL1が低レベルになっており、かつ、プリチャージ信号PR1が高レベルでビット線BL1及び*BL1が電位V_{ii}/2にプリチャージされている。センスアンプ側では、等化信号EQ1及びEQ2が低レベル、ゲート制御信号MID1が高レベルで、PMOSクロス結合回路15PとNMOSクロス結合回路15Nとが結合したCMOSセンスアンプが動作して、前のデータが保持されている。

【0183】(e11)この状態で、前のデータに対する後処理と、メモリセルアレイMC1のセルからのデータ読み出し開始処理とが並列して行われる。

【0184】すなわち、後処理の第1段として、ゲート制御信号MID1が低レベルに遷移して、転送ゲート10A及び11Aがオフになり、等化信号EQ1が高レベルに遷移して配線ISO1と*ISO1とが短絡され、同電位になろうとする。読み出し開始処理として、プリチャージ信号PR1が低レベルに遷移し、ワード線WL1の電位が立ち上げられ、セルキャパシタの電荷移動によりビット線BL1と*BL1との間に電位差が生ずる。さらに、等化信号EQ1が低レベルに遷移して、配線ISO1と*ISO1とが絶縁され、ゲート制御信号BLT1が高レベルに遷移して、ビット線BL1と配線ISO1とが導通され、ビット線*BL1と配線*ISO1とが導通される。後処理の第2段として、等化信号EQ2が高レベルに遷移して、配線ISO2、*ISO2、SA及び*SAが短絡され、これらが同電位になろうとする。

【0185】(e12)次に、ダイレクトセンシングによる第1段の増幅が行われる。

【0186】すなわち、等化信号EQ2が低レベルに遷移して、配線ISO2と*ISO2とが絶縁され、コラム選択信号CL1が高レベルに遷移して、コラムゲート16及び17がオンになる。このように早期にコラムゲート16及び17をオンにしても、転送ゲート10A及び11Aがオフであるので、データバス線DB及び*DBの電位によるPMOSクロス結合回路15Pの増幅に誤動作が生じない。

【0187】PMOSTランジスタ151および152のソースが電位V_{ii}に固定され、転送ゲート10A及び11Aがオフであるので、PMOSTランジスタ151及び152のゲート電位に応じて、電位V_{ii}の配線から電流がそれぞれPMOSTランジスタ151及び152を介し配線*SA及びSAへ流れ、配線SAと*SAとの間に電位差が生ずる。

【0188】製造プロセスの変動による回路特性の変動を小さくして誤動作を避けるために、PMOSTランジスタ151及び152は転送ゲート10等よりもサイズが数倍大きく、負荷が比較的大きいので、PMOSTランジスタ151および152のソース電位を電位V_{ii}/2から電位V_{ii}に立ち上げると、増幅動作が遅くなるが、この立ち上げが必要ないので、応答が早い。

【0189】(e13)次に、CMOSセンスアンプによる第2段の増幅動作が行われる。

【0190】すなわち、上記増幅により、転送ゲート10A及び11AをオンにしてPMOSクロス結合回路15PとNMOSクロス結合回路15Nとが結合した駆動能力の高いCMOSセンスアンプで増幅しても誤動作が生じない程度に、配線SAと*SAとの間に電位差が生じているので、ゲート制御信号MID1を高レベルにしてこのCMOSセンスアンプを動作させる。

【0191】ゲート制御信号BLT1を低レベルにして転送ゲート10及び11をオフにすることにより、CMOSセンスアンプの負荷を低減して増幅速度を向上させる。

【0192】また、コラムアドレスが変化して、コラムアドレス選択信号CL1~CL3のパルスにより同一メモリセル行の異なる列(不図示、CL2及びCL3はこの列の信号)からデータバスラインDB及び*DBへ順次データが転送される。

【0193】(e14)次に、リストア動作が行われる。

【0194】すなわち、ゲート制御信号BLT1が高レベルに遷移して、転送ゲート10及び11がオンになり、CMOSセンスアンプの状態がビット線BL1及び*BL1に伝達される。

【0195】次に、ワード線WL1の電位が立ち下げられてリストア動作が完了する。

【0196】(e15)次に、リセット動作が行われる。

【0197】すなわち、ゲート制御信号BLT1が低レベルに遷移して、転送ゲート10及び11がオフになり、プリチャージ信号PR1が高レベルに遷移して、ビット線BL1及び*BL1が電位V_{ii}/2にプリチャージされる。

【0198】上記のようなセンスアンプ動作の高速化により、ロウサイクルが例えば10ns短縮される。

【0199】図19において、上記対称性により、メモリセルアレイMC2からの読み出し動作はメモリセルアレイMC1からの上記のような動作と対称的になるので、その説明を省略する。

【0200】なお、図19において、ビット線リセット電位V_{rst1}及びV_{rst2}はV_{ii}/2に限定されず、電位V_{ii}又はV_{ss}であってもよい。特に、PMOSクロス結合回路15P側のプリチャージ回路14A1に供給されるリセット電位V_{rst1}を電位V_{ss}にすればPMOSTランジスタ151及び152の増幅率がV_{rst1}=V_{ii}/2の場合よりも大きくなる。同様に、NMOSクロス結合回路15N側のプリチャージ回路14A2に供給されるリセット電位V_{rst2}を電位V_{ii}にすればNMOSTランジスタ153及び154の増幅率がV_{rst2}=V_{ii}/2の場合よりも大きくなるので、アクセスタイム短縮上好ましい。

【0201】図21(A)及び(B)は、リセット電位V_{rst}をこのようにした場合のDRAM内でのビット線対の配置を示しており、実線はリセット電位V_{rst}がV_{ii}、点線はリセット電位V_{rst}がV_{ss}であることを示している。図21(A)及び(B)に示すように、リセット電位V_{ii}のビット線対とリセット電位V_{ss}のビット線対とを、センスアンプ列に沿って交互に配置することも、センスアンプ列に沿って一方のみ配置することもできる。

【0202】〔第5実施形態〕図22は、本発明の第5実施形態に係るDRAM内のビット線対に接続された回路を示す。

【0203】この回路は、図19において、NMOSクロス結合回路15Nの両側の、配線ISO2と配線SAとの接続先を入れ替え、かつ、配線*ISO2と*SAとの接続先を入れ替え、さらに、メモリセルアレイMC2側回路を省略した構成になっている。PMOSクロス結合回路15Pのソースは電位V_{ii}に固定され、NMOSクロス結合回路15NのソースはV_{ss}に固定されている。この回路に対する各種制御は、制御回路27Cにより行われる。

【0204】次に、ビット線リセット電位V_{rst1}がV_{ii}/2である場合におけるこの回路のリード動作を説明する。図23は、同一行アドレスに対し列アドレスが連続的に変化する場合のリード動作を示す。

【0205】初期状態では、ゲート制御信号BLT1が低レベルで転送ゲート10及び11がオフ、プリチャージ回路14A1がオンになって、メモリセルアレイMC1側でリセットされ、ゲート制御信号MID1及びMID2が高レベル、信号EQ1が低レベルになって、CMOSセンスアンプ側で前のデータが保持されている。

【0206】(e21)前のデータに対する後処理が行われる。

【0207】すなわち、プリチャージ回路14A1がオフになる。次に、イコライザ14B1がオンになって、配線ISO2、*ISO2、SA及び*SAが同電位にされる。

【0208】(e22)メモリセルアレイMC1のセルからの次のデータの読み出し及びその微小電位差の第1段の増幅が行われる。

【0209】すなわち、一方では、選択されたワード線の電位が立ち上がり、BL1と*BL1との間に、セルキャパシタの電荷移動による電位差が生じる。他方では、転送ゲート10及び11がオンにされ、転送ゲート10A、11A、10B及び11Bがオフにされる。これにより、PMOSクロス結合回路15P及びNMOSクロス結合回路15Nによる2段のダイレクトセンシングが行われる。この場合の駆動能力は、図19での1段のダイレクトセンシングの場合よりも大きい。

【0210】(e23)次に、CMOSセンスアンプによる第2段の増幅が行われる。

【0211】すなわち、まず、転送ゲート10及び11がオフになる。上記増幅により、転送ゲート10A及び11AをオンにしてPMOSクロス結合回路15Pで増幅しても誤動作が生じない程度に、配線ISO2と*ISO2との間に電位差が生じた後に、このオンが実行され、次に、同様に転送ゲート10B及び11Bがオンになって、NMOSクロス結合回路15PとNMOSクロス結合回路15Nとが結合した駆動能力の高いCMOSセンスアンプが動作する。

【0212】以後は、図20の場合と同様に、データバスラインDB及び*DBへのデータ転送、リストア(e24)及びプリチャージ(e25)が行われる。

【0213】[第6実施形態]図24は、本発明の第6実施形態に係るDRAM内のビット線対に接続された回路を示す。

【0214】この回路は、図19において、NMOSクロス結合回路15Nとイコライザ14B1との組の回路の両側の、配線ISO1と配線SAとの接続先を入れ替え、かつ、配線*ISO1と*SAとの接続先を入れ替え、PMOSクロス結合回路15Pとイコライザ14B2との組の回路の両側の、配線ISO2と配線SAとの接続先を入れ替え、かつ、配線*ISO2と配線*SAとの接続先を入れ替え、イコライザ14B1と14B2との一方を省略した構成になっている。また、NMOS

クロス結合回路15N側のコラムゲート16及び17をメモリセルアレイMC1用とし、PMOSクロス結合回路15P側のコラムゲート16A及び17AをメモリセルアレイMC2用としている。この回路に対する各種制御は、制御回路27Dにより行われる。

【0215】メモリセルアレイMC1をアクセスする間、ゲート制御信号BLT2及びコラム選択信号CL2が低レベルにされ、メモリセルアレイMC2をアクセスする間、ゲート制御信号BLT1及びコラム選択信号CL1が低レベルにされる。

【0216】次に、ビット線リセット電位Vrst1がVii/2である場合におけるこの回路のリード動作を説明する。図25は、同一行アドレスに対し列アドレスが連続的に変化する場合はリード動作を示す。

【0217】初期状態では、ゲート制御信号BLT1が低レベルで転送ゲート10及び11がオフになっていて、メモリセルアレイMC1側でリセット状態になっている。CMOSセンスアンプ側では、ゲート制御信号MID1及びMID2が高レベル、等化信号EQ1が低レベルになっていて、前のデータがCMOSセンスアンプに保持されている。

【0218】(e31)この状態で、前のデータに対する後処理が行われる。

【0219】すなわち、メモリセルアレイMC1側では、プリチャージ信号PR1が低レベルに遷移する。センスアンプ側では、ゲート制御信号MID2が低レベルに遷移し、駆動信号PSAが電位ViiからVii/2にされて、PMOSクロス結合回路15Pが不活性にされる。また、配線ISO1と*ISO1とがイコライザ14B1で短絡され、両配線の電位が等しくなる。

【0220】(e32)メモリセルアレイMC1のセルからの次のデータの読み出し開始処理がわれる。

【0221】すなわち、ゲート制御信号BLT1が高レベルに遷移して転送ゲート10及び11がオンになり、選択されたワード線の電位が立ち上がり、BL1と*BL1との間に、セルキャパシタの電荷移動による微小電位差が生じる。

【0222】(e33)次に、第1段の増幅が行われる。

【0223】すなわち、駆動信号PSAが電位Viiに立ち上げられて、PMOSクロス結合回路15Pが活性化される。これにより、NMOSクロス結合回路15Nのダイレクトセンシングによる配線SA1と*SA1とに流れる電流差の増幅が、PMOSクロス結合回路15Pによる配線ISOと*ISOとの間の電位差増幅により高められる。

【0224】ゲート制御信号BLT1が低レベルに遷移して転送ゲート10及び11がオフになり、センスアンプの負荷が低減される。

【0225】(e34)次に、CMOSセンスアンプに

よる第2段の増幅が行われる。

【0226】すなわち、PMOSクロス結合回路15Pによる上記増幅により、転送ゲート10B及び11BをオンにしてもNMOSクロス結合回路15Nの誤動作が生じない程度に、配線ISOと*ISOとの間に電位差が生じた後に、このオンが実行されて、PMOSクロス結合回路15PとNMOSクロス結合回路15Nとが結合した駆動能力の高いCMOSセンスアンプが動作する。

【0227】以後は、図20の場合と同様に、データバスラインDB及び*DBへのデータ転送、リストア(e35)及びプリチャージ(e36)が行われる。

【0228】[第7実施形態]図26は、本発明の第7実施形態に係るDRAMの図19に対応した回路を示す。

【0229】この回路は、配線SAと*SAとの間にバッファメモリセル18Aが接続されている外は、図19のそれと同一である。この回路に対する各種制御は、制御回路27Eにより行われる。

【0230】バッファメモリセル18Aは、メモリセルアレイMC1及びMC2に対するメモリセルをそれぞれ例えば2つ備えている。

【0231】図26では、メモリセルアレイMC1に接続された複数のワード線をWLで表し、バッファメモリセル18Aに接続された複数のワード線をBWLで表している。図27及び図28中のワード線WL1及びWL2はワード線WLに含まれ、ワード線BWL0～BWL2はBWLに含まれている。

【0232】次に、ビット線リセット電位 V_{rst1} が $V_{ii}/2$ である場合におけるこの回路の動作を説明する。

【0233】(1)リード動作

図27は、図26の回路においてメモリセルアレイMC1の行アドレスが連続的に変化する場合は、リード動作を示す。

【0234】バッファメモリセル18Aの記憶内容は最初無効(空)であるとする。

【0235】この回路の動作は、バーストモードでないこと、リストア動作が省略されること、バッファメモリセル18Aの選択及びバッファメモリセル18Aへの書き込みが行われること以外は、図19のそれと同一である。

【0236】初期状態では、ワード線BWL0が高レベルで、バッファメモリセル18Aへの前のデータの書き込みが行われ、また、データバス線DB及び*DBへのこのデータの伝達が行われている。

【0237】(c11)この状態で、該前のデータに対する後処理と、メモリセルアレイMC1のセルからのデータ読み出し開始処理とが並列して行われる。

【0238】すなわち、後処理の第1段として、ゲート

制御信号MID1が低レベルに遷移して、転送ゲート10A及び11Aがオフになり、等化信号EQ1が高レベルに遷移して配線ISO1と*ISO1とが短絡され、同電位になろうとする。読み出し開始処理として、プリチャージ信号PR1が低レベルに遷移し、ワード線WL1の電位が立ち上げられ、セルキャパシタの電荷移動によりビット線BL1と*BL1との間に電位差が生ずる。後処理の第2段として、ワード線BWL0の電位が立ち下げられてセンスアンプ15Nのデータがバッファメモリセル18Aに保持され、コラム選択信号CL1が低レベルに遷移してコラムゲート16及び17がオフになる。等化信号EQ2が高レベルに遷移して、配線ISO2、*ISO2、SA及び*SAが短絡され、これらが同電位になろうとする。さらに、等化信号EQ1が低レベルに遷移して、配線ISO1と*ISO1とが絶縁され、ゲート制御信号BLT1が高レベルに遷移して、ビット線BL1と配線ISO1とが導通され、ビット線*BL1と配線*ISO1とが導通される。

【0239】(c12)次に、ダイレクトセンシングによる第1段の増幅が行われる。

【0240】すなわち、等化信号EQ2が低レベルに遷移して、配線ISO2と*ISO2とが絶縁され、コラム選択信号CL1が高レベルに遷移して、コラムゲート16及び17がオンになる。

【0241】PMOSTランジスタ151および152のソースが電位 V_{ii} に固定され、転送ゲート10A及び11Aがオフであるので、PMOSTランジスタ151及び152のゲート電位に応じて、電位 V_{ii} の配線から電流がそれぞれPMOSTランジスタ151及び152を介し配線*SA及びSAへ流れ、配線SAと*SAとの間に電位差が生ずる。

【0242】(c13)次に、CMOSセンスアンプによる第2段の増幅とビット線対のプリチャージとの並列動作が行われる。

【0243】すなわち、ゲート制御信号MID1を高レベルにしてこのCMOSセンスアンプを動作させる。リストア動作を行わないので、一方では、ゲート制御信号BLT1を低レベルにして転送ゲート10及び11をオフにすることにより、CMOSセンスアンプの負荷を低減して増幅速度を向上させ、他方では、プリチャージ信号PR1を高レベルにし、ワード線WL1を立ち下げ、ビット線BL1及び*BL1を電位 $V_{ii}/2$ にプリチャージすると共に、メモリセルの転送ゲートを閉じる。

【0244】次に、以上の(c11)～(c13)の動作が、メモリセルアレイMC1の他の行に対し行われる。

【0245】例えば、従来40nsであったロウサイクルは、リストア省略で20ns短縮され、上記のようなセンスアンプ動作の高速化でさらに10ns短縮され、

10 nsになる。

【0246】図26において、バッファメモリセル18Aの両側が対称的になっているので、メモリセルアレイMC2からの読み出し動作はメモリセルアレイMC1からの上記のような動作と対称的になり、その説明を省略する。

【0247】(2) ライト動作

図28は、図26の回路において、メモリセルアレイMC1の行アドレスが連続的に変化する場合はライト動作を示す。図26の回路に対する制御は、リードのときと、一部の動作タイミングが異なる外は同一である。

【0248】(3) リストア動作

図29は、図26の回路のリストア動作を示す。バッファメモリセル18Aの内容をメモリセルアレイMC1にリストアする場合を以下に説明する。

【0249】上記リード動作の初期状態と同一の状態から動作を開始する。

【0250】(d1) 等化信号EQ1及び等化信号EQ2が高レベルに遷移して、配線ISO1、SA、ISO2、*ISO1、*SA及び*ISO2が、同電位になろうとする。

【0251】(d2) プリチャージ信号PR1が低レベルに遷移し、次いでワード線BWL1が高レベルに遷移して、バッファセルデータが配線SA及び*SA上に読み出され、配線SAと*SAとの間の電位差がPMOSクロス結合回路15PとNMOSクロス結合回路15Nとにより増幅される。バッファメモリセル18AがPMOSクロス結合回路15P及びNMOSクロス結合回路15Nの近くに存在し、かつ、転送ゲート10及び11がオフでCMOSセンスアンプの負荷が小さいので、高速に増幅される。

【0252】(d3) ワード線WL1の電位が立ち上げられる。また、ゲート制御信号BLT1が高レベルに遷移して、ビット線BL1と配線ISO1とが導通され、ビット線*BL1と配線*ISO1とが導通されて、ビット線BL1と*BL1との間に電位差が生じ、これがPMOSクロス結合回路15P及びNMOSクロス結合回路15Nで増幅される。

【0253】(d4) ワード線BWL1が低レベルに遷移する。

【0254】ゲート制御信号BLT1が低レベルに遷移し、ワード線WL1が低レベルに遷移して、メモリセルアレイMC1に対するリストアが完了する。

【0255】(d5) 上記リード動作の最初と同一の状態にされる。

【0256】[第8実施形態] 図30は、本発明の第8実施形態に係るDRAM内のビット線対に接続された回路を示す。

【0257】この回路では、転送ゲート10A及び11AがPMOSクロス結合回路15PAとバッファメモリ

セル18Aとの間に接続され、転送ゲート10B及び11BがNMOSクロス結合回路15NAとバッファメモリセル18Aとの間に接続され、図26のイコライザ14B1及び14B2の代わりにイコライザ14Bが配線SAと*SAとの間に接続されている。クロス結合回路15PA及び15NAのソース電位PSA及びNSAは可変である。他の点は、図26と同一構成である。この回路に対する各種制御は、制御回路27Fにより行われる。

【0258】メモリセルアレイMC1をアクセスする間、ゲート制御信号BLT2は低レベルで転送ゲート10C及び11Cがオフになっている。

【0259】次に、この回路のメモリセルアレイMC1からのリード動作を説明する。

【0260】初期状態では、図26の場合と同様に、メモリセルアレイMC1側でリセットされ、CMOSセンスアンプ側で前のデータが保持されている。すなわち、ゲート制御信号BLT1が低レベルで転送ゲート10及び11がオフ、プリチャージ回路14A1がオンになっている。また、ゲート制御信号MID1及びMID2が高レベルで転送ゲート10A、11A、10B及び11Bがオン、駆動信号PSA及びNSAがそれぞれ電位V_{ii}及びV_{ss}で、PMOSクロス結合回路15PA及びNMOSクロス結合回路15NAが活性になって、前のデータがCMOSセンスアンプに保持されている。

【0261】(c21) この状態で、前のデータに対する第1段の後処理が行われる。

【0262】すなわち、ゲート制御信号MID1が低レベルに遷移して転送ゲート10A及び11Aがオフになり、駆動信号PSAが電位V_{ii}/2に遷移してPMOSクロス結合回路15PAが不活性になる。

【0263】(c22) メモリセルアレイMC1からの次のデータの読み出し開始処理が行われる。

【0264】すなわち、プリチャージ回路14A1がオフになり、選択されたワード線の電位が立ち上がり、転送ゲート10及び11がオンになる。BL1と*BL1との間に、セルキャパシタの電荷移動による電位差が生じると、配線ISO1と*ISO1との間に微小電位が生ずる。

【0265】(c23) 次に、第1段の増幅と前のデータに対する第2段の後処理とが並列して行われる。

【0266】すなわち、一方では、駆動信号PSAが電位V_{ii}/2から電位V_{ii}に遷移して、PMOSクロス結合回路15PAが活性化する。リストア動作を行わないので、ビット線BL1と*BL1との電位差が増幅されていない状態で、ゲート制御信号BLT1を低レベルにして転送ゲート10及び11をオフにすることにより、PMOSクロス結合回路15PAの負荷を低減して、配線ISO1と*ISO2との間の電位差増幅速度を向上させる。他方では、バッファメモリセル18Aへ

のデータ保持が完了し、コラムゲート16及び17がオフにされ、その後、配線SAと*SAとがイコライザ14Bで短絡され、駆動信号NSAがVssから電位V_{ii}/2に遷移し、配線SAと*SAとが同電位になってからこの短絡が解除される。

【0267】(c24)次に、CMOSセンスアンプによる第2段の増幅とビット線対のプリチャージとの並列動作が行われる。

【0268】すなわち、上記増幅により、転送ゲート10A及び11AをオンにしてPMOSクロス結合回路15PとNMOSクロス結合回路15Nとが結合されたCMOSセンスアンプで増幅しても誤動作が生じない程度に、配線ISO1と*ISO1との間に電位差が生じているので、一方では、ゲート制御信号MID1が高レベルに遷移して、このCMOSセンスアンプが動作する。他方では、プリチャージ信号PR1が高レベルに遷移して、ビット線BL1及び*BL1が電位V_{ii}/2に短時間でプリチャージされる。

【0269】次に、コラムゲート16及び17がオンになって、データバス線DB及び*DBへデータが伝達する。バッファセル用ワード線の電位が立ち上がって、CMOSセンスアンプの出力状態のバッファメモリセル18Aへの書き込みが開始される。

【0270】次に、以上の(c21)～(c24)の動作が、メモリセルアレイの他の行に対し行われる。

【0271】図30において、バッファメモリセル18Aの両側が対称的になっているので、メモリセルアレイMC2からの読み出し動作はメモリセルアレイMC1からの上記のような動作と対称的になり、その説明を省略する。

【0272】[第9実施形態]図31は、本発明の第9実施形態に係るDRAMの図22に対応した回路を示す。

【0273】この回路は、配線SAと*SAとの間にバッファメモリセル18Aが接続されている外は、図22のそれと同一である。この回路に対する各種制御は、制御回路27Gにより行われる。

【0274】次に、この回路のメモリセルアレイMC1からのリード動作を説明する。

【0275】(c31)メモリセルアレイMC1のセルからの次のデータの読み出し開始処理と、前のデータに対する後処理とが並列して行われる。

【0276】すなわち、転送ゲート10及び11がオフ状態で、一方では、プリチャージ回路14A1がオフになり、選択されたワード線の電位が立ち上がり、BL1と*BL1との間に、セルキャパシタの電荷移動による電位差が生じる。他方では、バッファメモリセル18Aへのデータ保持が完了し、コラムゲート16及び17がオフにされ、その後、配線SAと*SAとがイコライザ14B1で短絡され、配線SAと*SAとが同電位にな

ってからこの短絡が解除される。

【0277】(c32)次に、第1段の増幅が行われる。

【0278】すなわち、転送ゲート10A、11A、10B及び11Bがオフにされ、転送ゲート10及び11がオンにされ、PMOSクロス結合回路15P及びNMOSクロス結合回路15Nによる2段のダイレクトセンシングが行われ、コラムゲート16及び17がオンにされる。

【0279】(c33)次に、CMOSセンスアンプによる第2段の増幅とビット線対のプリチャージとの並列動作が行われる。

【0280】すなわち、上記増幅により、転送ゲート10B及び11BをオンにしてNMOSクロス結合回路15Nで増幅しても誤動作が生じない程度に、配線SAと*SAとの間に電位差が生じた後に、このオンが実行され、次に、同様に転送ゲート10A及び11Aがオンになって、PMOSクロス結合回路15PとNMOSクロス結合回路15Nとが結合した駆動能力の高いCMOSセンスアンプが動作する。他方では、リストア動作が行われないので、ビット線BL1と*BL1との電位差が増幅されていない状態で、転送ゲート10及び11がオフになり、プリチャージ信号PR1が高レベルに遷移して、ビット線BL1及び*BL1が電位V_{ii}/2に短時間でプリチャージされる。

【0281】次に、以上の(c31)～(c33)の動作が、メモリセルアレイMC1の他の行に対し行われる。

【0282】[第10実施形態]図32は、本発明の第10実施形態に係るDRAMの図24に対応した回路を示す。

【0283】この回路は、配線ISOと*ISOとの間にバッファメモリセル18Aが接続されている外は、図24のそれと同一である。この回路に対する各種制御は、制御回路27Hにより行われる。

【0284】この回路の動作は、バーストモードでないこと、リストア動作が省略されること、バッファメモリセル18Aの選択及びバッファメモリセル18Aへの書き込みが行われること以外は、図25のそれと類似している。

【0285】次に、この回路のメモリセルアレイMC1からのリード動作を説明する。

【0286】(c41)メモリセルアレイMC1のセルからの次のデータの読み出し開始処理と、前のデータに対する後処理とが並列して行われる。

【0287】すなわち、転送ゲート10及び11がオフ状態で、一方では、プリチャージ回路14A1がオフになり、選択されたワード線の電位が立ち上がり、BL1と*BL1との間に、セルキャパシタの電荷移動による電位差が生じる。他方では、バッファメモリセル18A

へのデータ保持が完了し、コラムゲート16及び17がオフにされ、その後、駆動信号PSA及びNSAが電位 V_{ii} から $V_{ii}/2$ にされると共に、配線SAと*SAとがイコライザ14B1で短絡され、配線SAと*SAとが同電位になってからこの短絡が解除されと共に、転送ゲート10B及び11Bがオフにされ、次に駆動信号NSAが V_{ss} にされ、転送ゲート10及び11がオンにされる。

【0288】(c42)次に、第1段の増幅が行われる。

【0289】すなわち、駆動信号PSAが電位 V_{ii} に立ち上げられる。リストア動作が行われないので、ビット線BL1と*BL1との電位差が増幅されていない状態で、転送ゲート10及び11がオフになって、PMOSクロス結合回路15Pの負荷が低減される。これにより、ダイレクトセンシングによる配線SA1と*SA1とに流れる電流差の増幅が、PMOSクロス結合回路15Pによる配線ISOと*ISOとの間の電位差増幅により高められる。

【0290】(c43)次に、CMOSセンスアンプによる第2段の増幅とビット線対のプリチャージとの並列動作が行われる。

【0291】すなわち、PMOSクロス結合回路15Pによる上記増幅により、転送ゲート10B及び11Bをオンにしても誤動作が生じない程度に、配線ISOと*ISOとの間に電位差が生じた後に、このオンが実行されて、PMOSクロス結合回路15PとNMOSクロス結合回路15Nとが結合した駆動能力の高いCMOSセンスアンプが動作する。他方では、プリチャージ信号PR1が高レベルに遷移して、ビット線BL1及び*BL1が電位 $V_{ii}/2$ に短時間でプリチャージされる。

【0292】次に、以上の(c41)～(c43)の動作が、他のメモリセルアレイの行に対し行われる。

【0293】図32において、バッファメモリセル18Aの両側が対称的になっているので、メモリセルアレイMC2からの読み出し動作はメモリセルアレイMC1からの上記のような動作と対称的になり、その説明を省略する。

【0294】なお、本発明には外にも種々の変形例が含まれる。

【0295】例えば、上述の実施形態では、ビット線を電位 $V_{ii}/2$ にプリチャージしたが、プリチャージ電位は、例えば電位 V_{ii} 又は V_{ss} にすることができる。このプリチャージ電位は、メモリセルアレイMC1側とMC2側とで異なってもよく、例えば図19において、メモリセルアレイMC1側のプリチャージ電位を V_{ss} にし、メモリセルアレイMC2側のプリチャージ電位を電位 V_{ii} にすれば、メモリセルアレイMC1からの読み出し時にPMOSクロス結合回路15Pによるダイレクトセンシングの電流増幅速度が大きくなり、メモ

リセルアレイMC2からの読み出し時にNMOSクロス結合回路15Nによるダイレクトセンシングの電流増幅速度が大きくなって、効果的である。

【0296】また、本発明は、DRAM以外のメモリに適用しても有効である。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るDRAMの行アドレス系回路を示すブロック図である。

【図2】図1中の記憶・選択回路の構成例を示すブロック図である。

【図3】図2中のUP/DW信号生成回路の構成例をカウンタと共に示す図である。

【図4】図2中のブロック内行アドレス制御回路の構成例を示す図である。

【図5】DRAM内のメモリセルアレイ及びその周辺回路の配置図である。

【図6】1つのメモリセルブロックに関する動作を示す概略タイムチャートである。

【図7】図1中のビット線対に接続された回路の構成例を示す図である。

【図8】図7の回路のリード動作を示すタイムチャートである。

【図9】図7の回路のライト動作を示すタイムチャートである。

【図10】図7の回路のリストア動作を示すタイムチャートである。

【図11】(A)～(C)はいずれも図7中のバッファメモリセルの変形例を示す回路図である。

【図12】(A)及び(B)はいずれも第1実施形態の変形例を示す、図1中の一部に対応した回路を示す図である。

【図13】本発明の第2実施形態に係る多バンク型DRAMの行アドレス系回路を示すブロック図である。

【図14】図13中の記憶・選択回路の構成例を示す図である。

【図15】図2中の制御回路の構成例を示す図である。

【図16】本発明の第2実施形態の変形例を示す、図13に対応したブロック図である。

【図17】本発明の第3実施形態に係るDRAMとリストア用アドレス記憶・制御回路との組み合わせを示すブロック図である。

【図18】本発明の第3実施形態の変形例を示す、図17に対応したブロック図である。

【図19】本発明の第4実施形態に係るDRAM内のビット線対に接続された回路の構成例を示す図である。

【図20】図19の回路のリード動作を示すタイムチャートである。

【図21】(A)及び(B)はいずれも、DRAM内でのビット線対の配置とビット線リセット電位との関係を示す図である。

【図22】本発明の第5実施形態に係るDRAM内のビット線対に接続された回路の構成例を示す図である。

【図23】図22の回路のリード動作を示すタイムチャートである。

【図24】本発明の第6実施形態に係るDRAM内のビット線対に接続された回路の構成例を示す図である。

【図25】図24の回路のリード動作を示すタイムチャートである。

【図26】本発明の第7実施形態に係るDRAMの図19に対応した回路を示す図である。

【図27】図26の回路のリード動作を示すタイムチャートである。

【図28】図26の回路のライト動作を示すタイムチャートである。

【図29】図26の回路のリストア動作を示すタイムチャートである。

【図30】本発明の第8実施形態に係るDRAM内のビット線対に接続された回路を示す図である。

【図31】本発明の第9実施形態に係るDRAMの図22に対応した回路を示す図である。

【図32】本発明の第10実施形態に係るDRAMの図24に対応した回路を示す図である。

【図33】従来のDRAM内のビット線対に接続された回路を示す図である。

【図34】図33の回路のリード動作を示すタイムチャートである。

【符号の説明】

10、10A～10C、11、11A～11C、122 転送ゲート

12、13 メモリセル

14 イコライザ付プリチャージ回路

14A1、14A2 プリチャージ回路

14B、14B1、14B2 イコライザ

141～143、153、154 NMOSトランジスタ

15 CMOSセンスアンプ

15P、15PA PMOSクロス結合回路

15N、15NA NMOSクロス結合回路

151、152 PMOSTランジスタ

16、17、16A、17A コラムゲート

18、18A、181、182 バッファメモリセル

191、192、71～74 メモリセルブロック

24、24A～24D 記憶・選択回路

241、242、41～44、411～42m レジスタ

243、50 セレクタ

244 カウンタ

245 UP/DW信号生成回路

246 ブロック内行アドレス制御回路

25、25A アドレス遷移検出回路

27、27A、61、61i、61X、79 制御回路

511～52m RSフリップフロップ

51～54 フリップフロップ

60、60A 優先ビット‘1’セレクタ

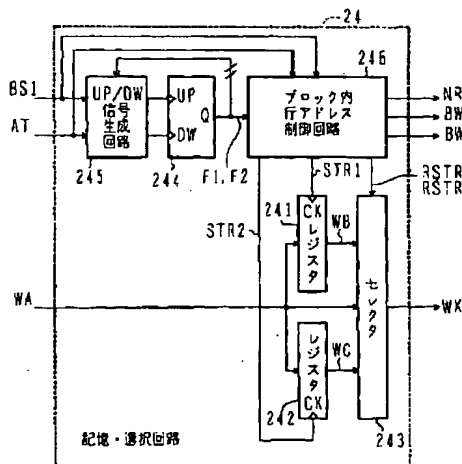
75～78 バッファメモリセル行

70 DRAM

80 リストア用アドレス制御回路

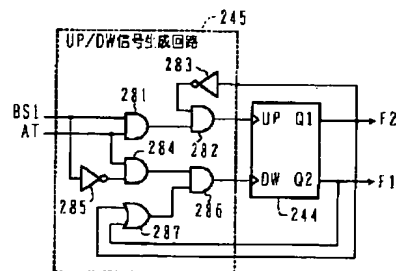
【図2】

図1中の記憶・選択回路の構成例を示すブロック図



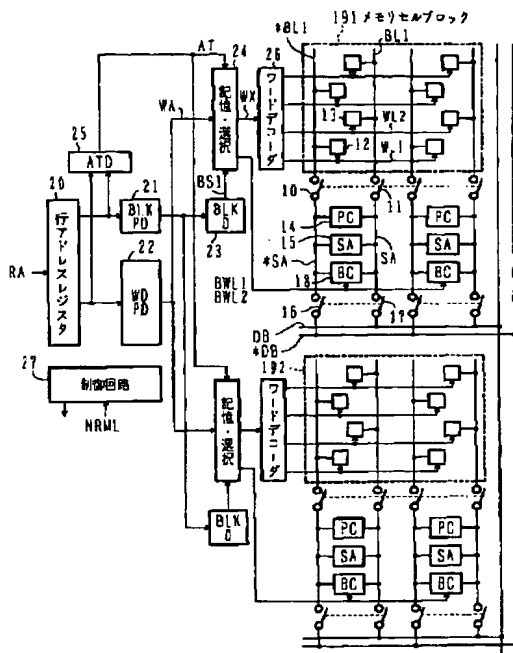
【図3】

図2中のUP/DW信号生成回路の構成例をアップダウンカウンタと共に示す図



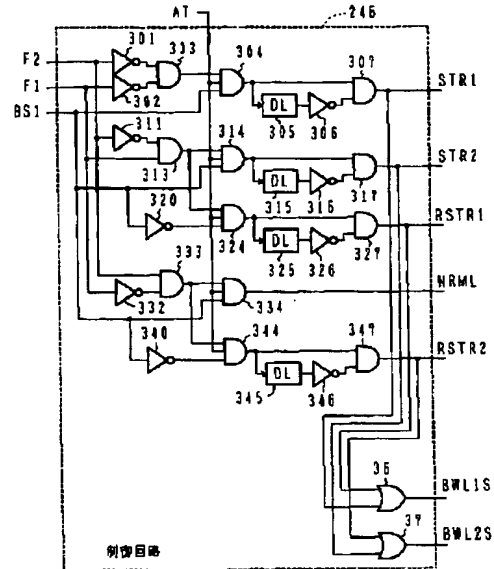
【図1】

本発明の第1実施形態に係るDRAMの行アドレス系回路を示すブロック図



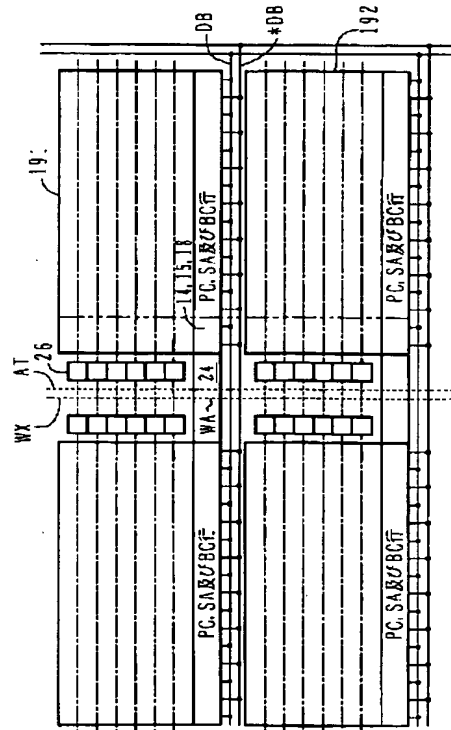
【図4】

図2中のブロック内行アドレス制御回路の構成例を示す図



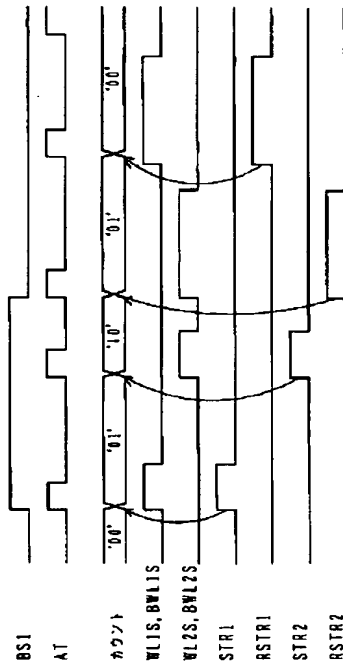
【図5】

DRAM内のメモリアルアレイ及びその周辺回路の配置図



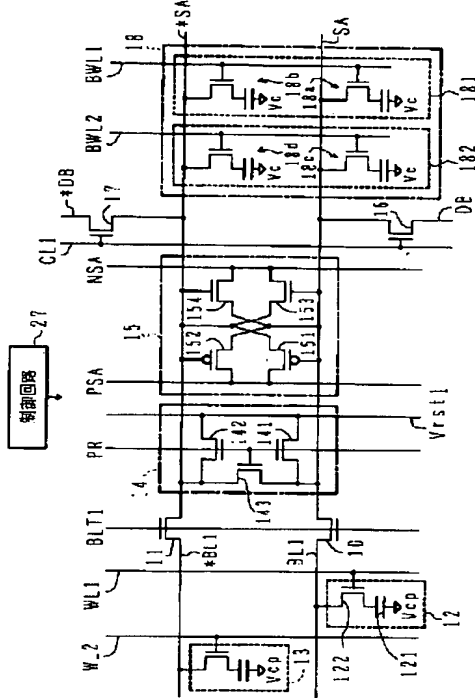
【図6】

1つのメモリアルブロックに関する動作を示す概略タイムチャート



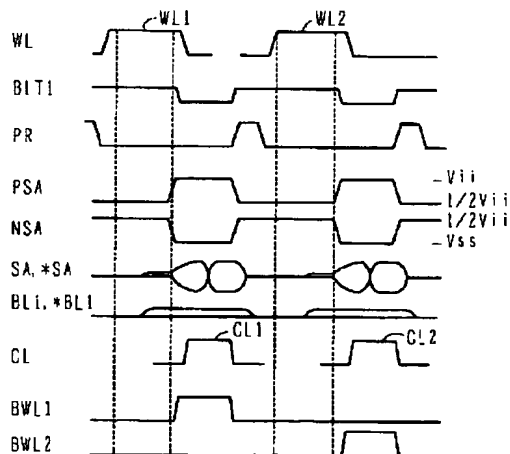
【図7】

図1中のビット線対に接続された回路の構成例を示す図



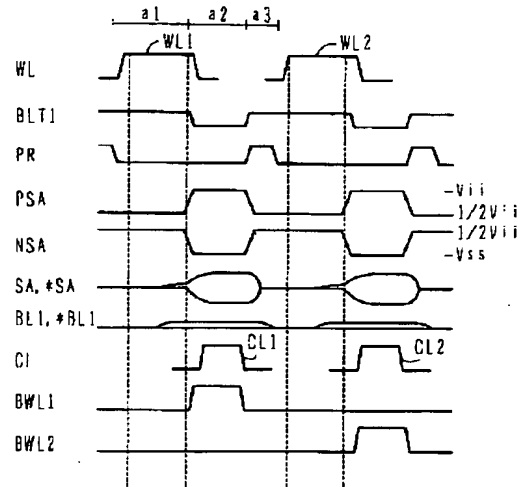
【図9】

図7の回路のライト動作を示すタイムチャート



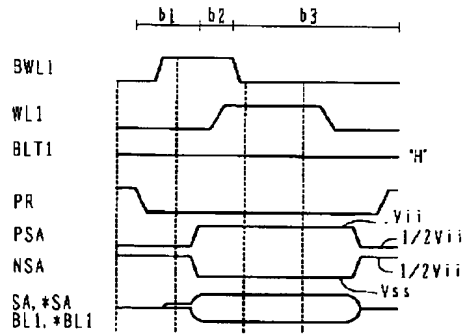
【図8】

図7の回路のリード動作を示すタイムチャート



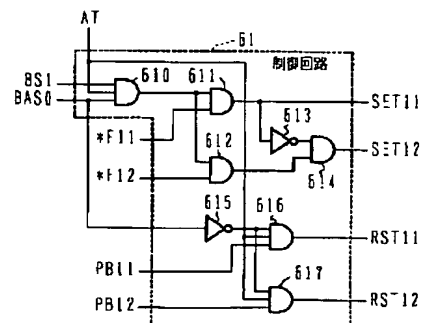
【図10】

図7の回路のリストア動作を示すタイムチャート



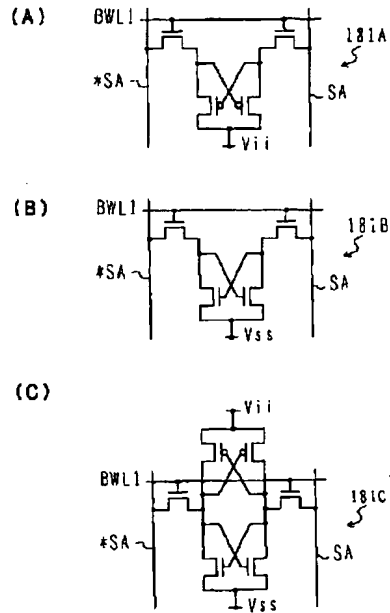
【図15】

図14中の制御回路の構成例を示す図



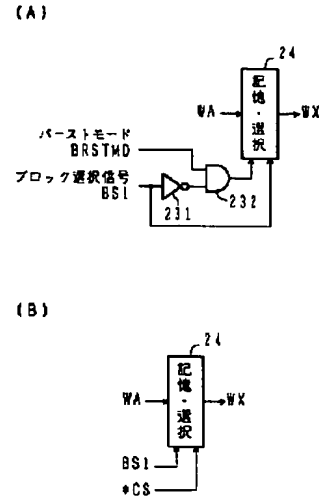
【図11】

(A)~(C)はいずれも図7中のバッファメモリセルの変形例を示す回路図



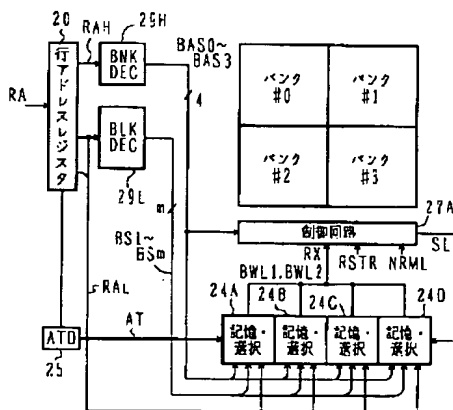
【図12】

(A)及び(B)はいずれも第1実施形態の変形例を示す、図1中の一部に対応した回路を示す図



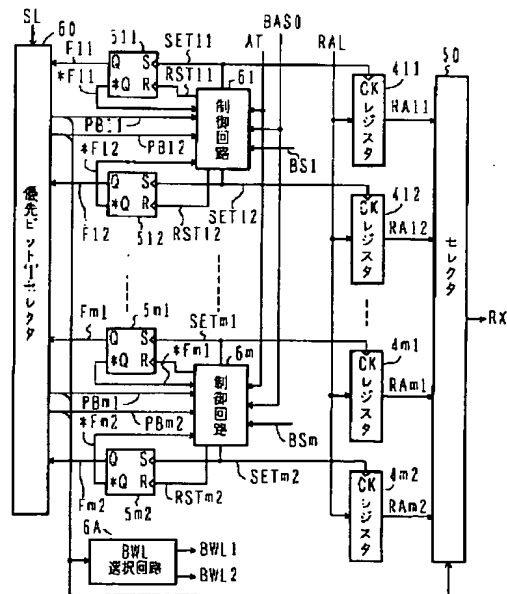
【図13】

本発明の第2実施形態に係る多バンク型DRAMの行アドレス系回路を示すブロック図



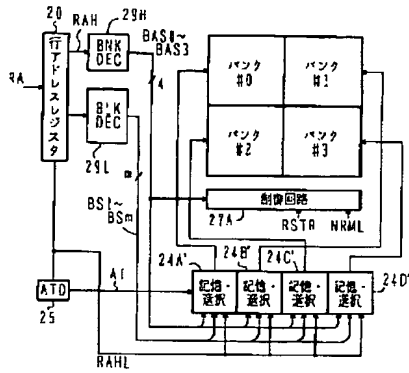
【図14】

図13中の記憶・選択回路の構成例を示す図



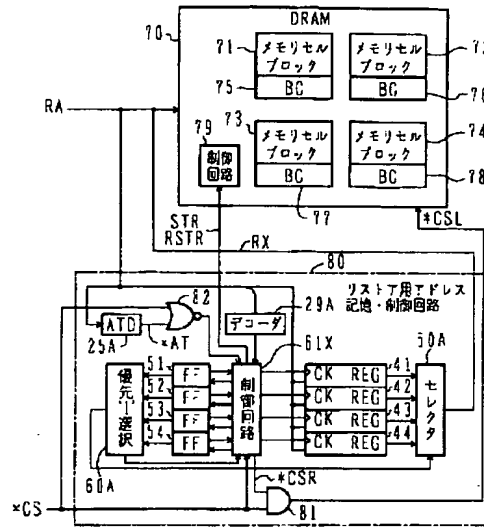
【図16】

本発明の第2実施形態の変形例を示す、
図13に対応したブロック図



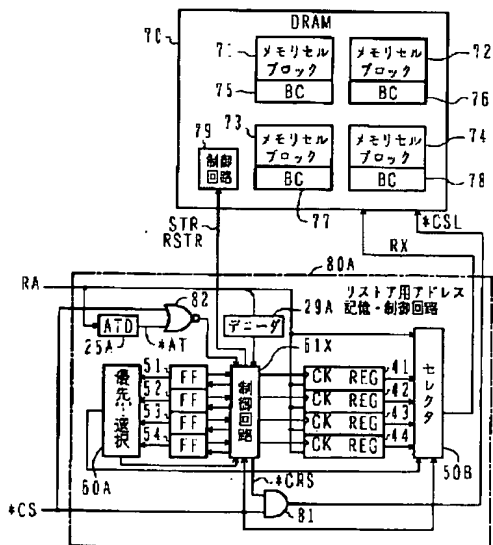
【図17】

本発明の第3実施形態に係るDRAMとリストア行アドレス
記憶・制御回路との組合せを示すブロック図



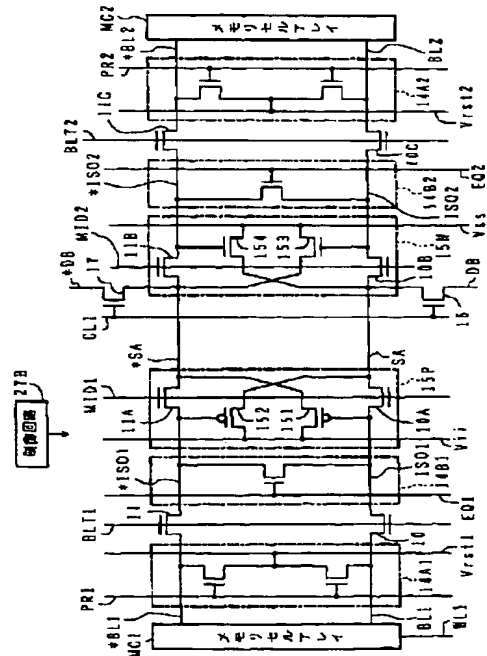
【図18】

本発明の第3実施形態の変形例を示す、
図17に対応したブロック図



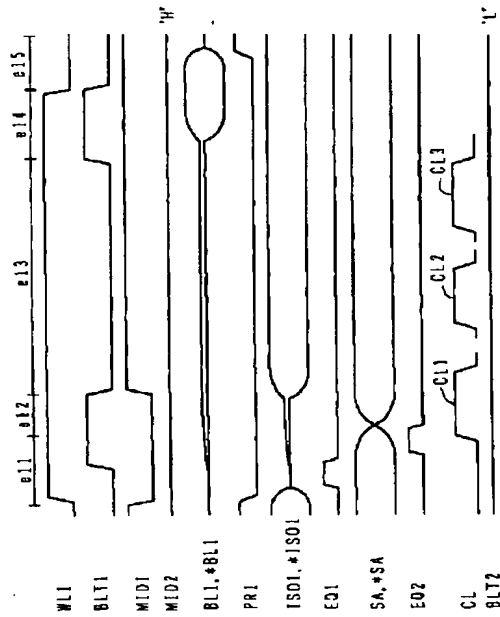
【図19】

本発明の第4実施形態に係るDRAM内のビット線対に
接続された回路の構成例を示す図



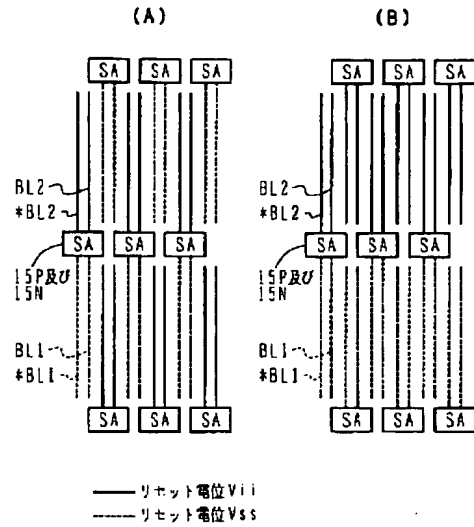
【図20】

図19の回路のリード動作を示すタイムチャート



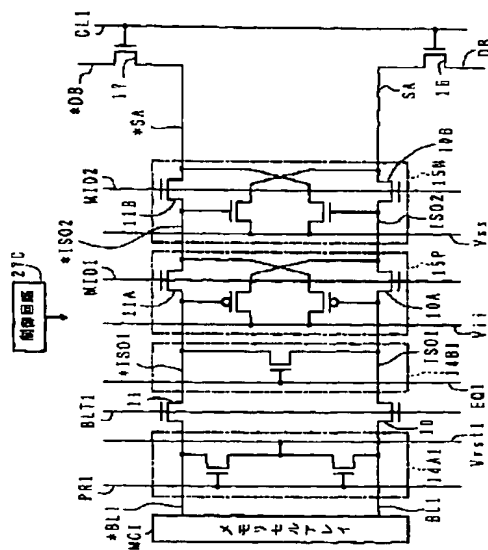
【図21】

DRAM内でのビット線対の配置とビット線リセット電位との関係を示す図



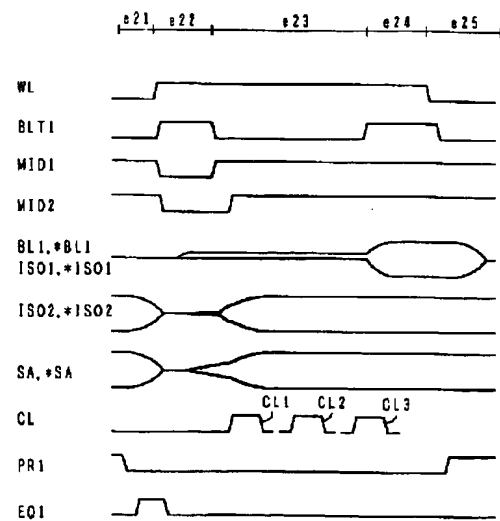
【図22】

本発明の第5実施形態に係るDRAM内のビット線対に接続された回路の構成例を示す図



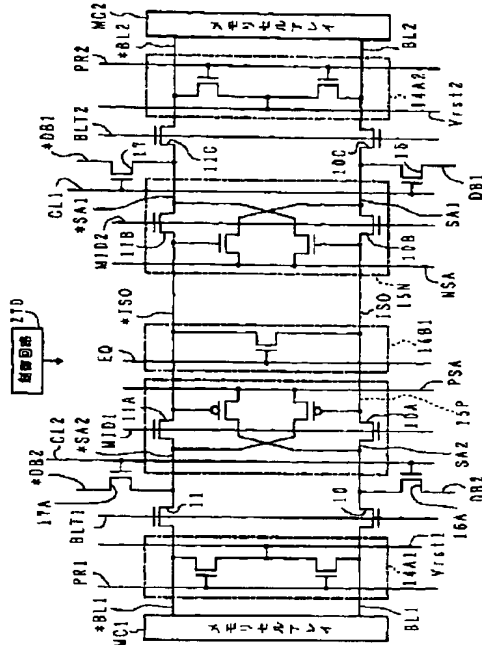
【図23】

図22の回路のリード動作を示すタイムチャート



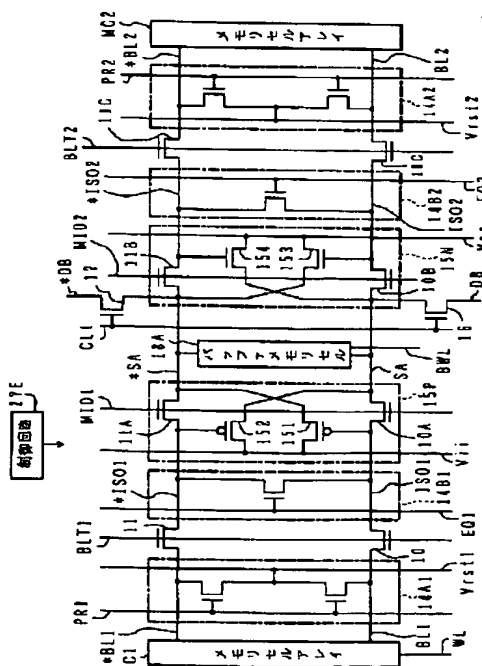
【図24】

本発明の第6実施形態に係るDRAM内のビット線対に接続された回路の構成例を示す図



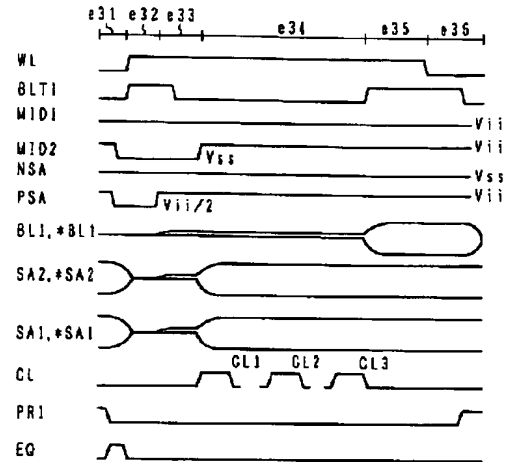
【図26】

本発明の第7実施形態に係るDRAMの図19に対応した回路を示す図



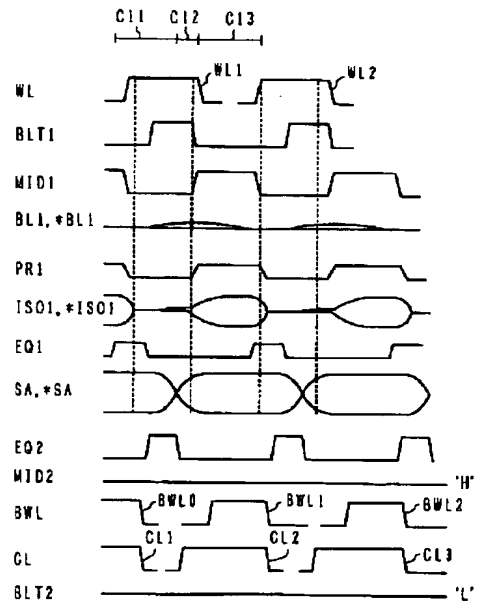
【図25】

図24の回路のリード動作を示すタイムチャート



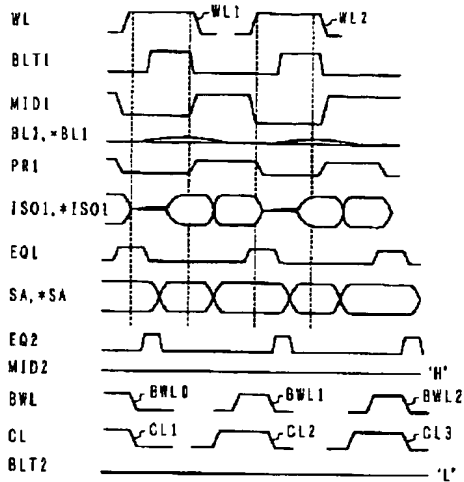
【図27】

図26の回路のリード動作を示すタイムチャート



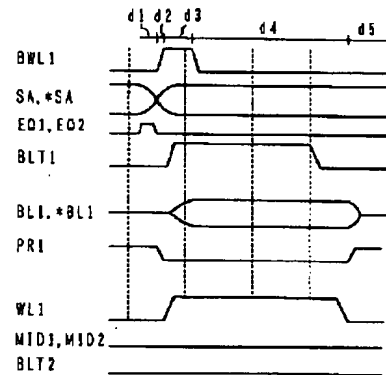
【図28】

図26の回路のライト動作を示すタイムチャート



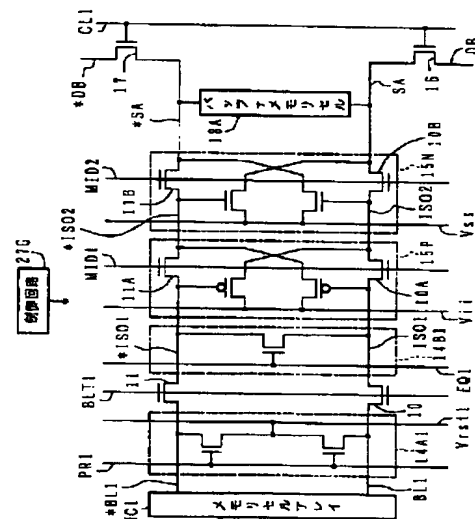
【図29】

図26の回路のリストア動作を示すタイムチャート



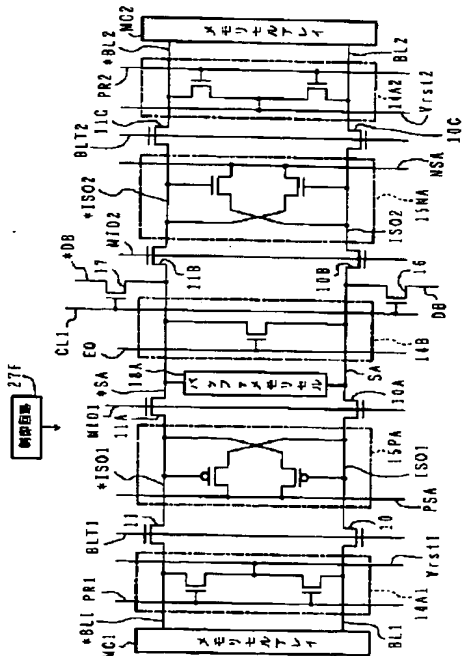
【図31】

本発明の第9実施形態に係るDRAMの図4に対応した回路を示す図



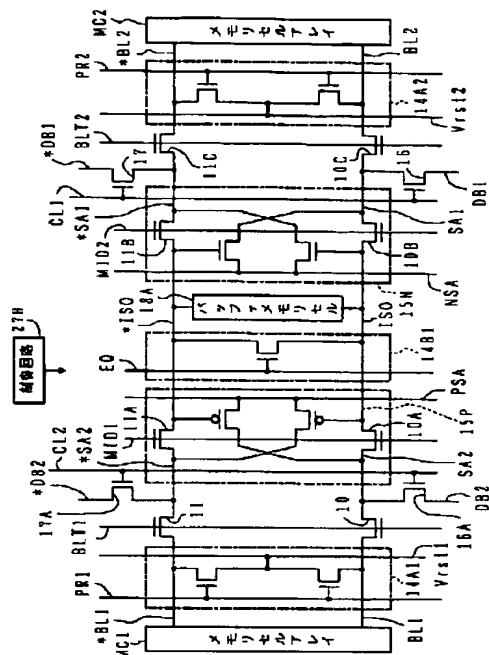
【図30】

本発明の第8実施形態に係るDRAM内のビット線対に接続された回路を示す図



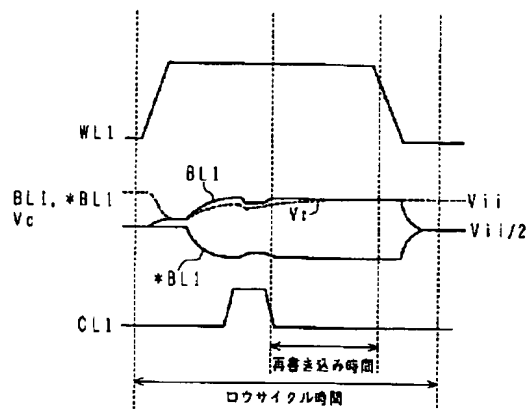
【図32】

本発明の第1の実施形態に係るDRAMの図24に対応した回路を示す図



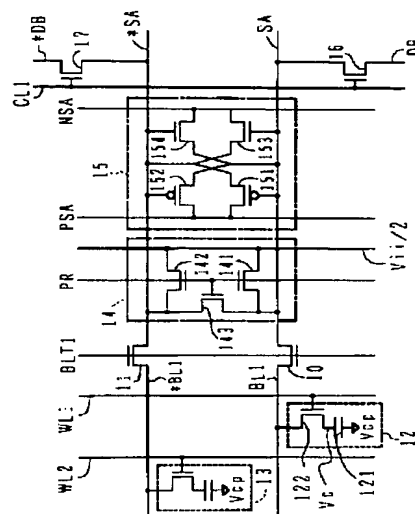
【図34】

図33の回路のリード動作を示すタイムチャート



【図33】

従来のDRAM内のビット線対に接続された回路を示す図



【手続補正書】

【提出日】平成11年3月19日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 複数のメモリセルを有しそれぞれアドレスで選択されるメモリセルアレイと、バッファメモリセルと、リストアドレスレジスタと、該メモリセルの現在の行アドレスを該リストアドレスレジスタに保持させ、選択された該メモリセルの内容を該バッファメモリセルに書き込ませ、選択されて記憶内容が破壊された該メモリセルへの再書き込みを行わずに該メモリセルに対するアクセスを完了し、空き時間に該バッファメモリセルの内容を、該リストアドレスレジスタに保持されている行アドレスで指定される該メモリセルに書き込ませる制御回路と、を有することを特徴とする破壊読出型メモリ回路。

【請求項2】 上記メモリセルは読み出し用ビット線に接続され、該メモリセルから該ビット線に読み出された信号を増幅するセンスアンプをさらに有することを特徴とする請求項1記載の破壊読出型メモリ回路。

【請求項3】 上記ビット線と上記センスアンプとの間に接続されたスイッチ素子をさらに有し、上記制御回路は、該センスアンプで増幅を開始する時に該スイッチ素子をオフにする、ことを特徴とする請求項2記載の破壊読出型メモリ回路。

【請求項4】 上記メモリセルブロックを複数有し、上記バッファメモリセルは該メモリセルブロックの各々に対して備えられ、上記リストアドレスレジスタは該メモリセルブロックの各々に対して備えられ、上記制御回路は、選択されている該メモリセルブロックに対応した該リストアドレスレジスタに、現在の行アドレスを保持させ、上記空き時間において、選択されている該メモリセルブロックに対応した該リストアドレスレジスタに保持されている行アドレスで指定される該メモリセルに再書き込みさせる、ことを特徴とする請求項2又は3記載の破壊読出型メモリ回路。

【請求項5】 上記メモリセルブロックの各々について、現在の上記行アドレスと上記リストアドレスレジスタの出力との一方を選択して該メモリセルブロック内の行アドレスを選択するための信号を出力する選択回路をさらに有し、上記制御回路は該選択回路に対し、現在の行アドレス

が、該選択回路に対応した該メモリセルブロックを選択するものである場合には現在の該行アドレスを選択させ、上記空き時間において該リストアドレスレジスタの出力を選択させる、

ことを特徴とする請求項4記載の破壊読出型メモリ回路。

【請求項6】 上記バッファメモリセル及び上記リストアドレスレジスタはいずれも、上記メモリセルブロックの各々に対して複数N備えられ、上記選択回路は、現在の上記行アドレスとN個の該リストアドレスレジスタの出力とのうちの1つを選択し、行アドレスの遷移を検出する行アドレス遷移検出回路をさらに有し、上記制御回路は、該メモリセルブロックの各々について、

アップダウンカウンタと、該遷移が検出され、対応する該メモリセルブロックが選択され、かつ、該アップダウンカウンタのカウンタがNより小さい場合には、カウンタアップさせる信号を該アップダウンカウンタに供給し、該遷移が検出され、上記空き時間であり、かつ、該カウンタが0でない場合にはカウンタダウンさせる信号を該アップダウンカウンタに供給するアップ/ダウン信号生成回路と、を有することを特徴とする請求項5記載の破壊読出型メモリ回路。

【請求項7】 上記制御回路は、上記メモリセルブロックの各々について、さらにブロック内行アドレス制御回路を有し、該ブロック内行アドレス制御回路は、対応する該メモリセルブロックについて、該メモリセルブロックが選択された場合には、上記カウンタがNより小さいとき、N個の該リストアドレスレジスタのうちの該カウンタに対応したものに現在の行アドレスを保持させ、かつ、現在の行アドレスを該選択回路に対し選択させ、該カウンタがNであるとき、メモリアクセスサイクル内でメモリセルへの再書き込みを行う制御信号を出力し、上記空き時間であり、かつ、該カウンタが0でない場合には、N個の該リストアドレスレジスタのうちの該カウンタに対応したものの出力を該選択回路に対し選択させる、ことを特徴とする請求項6記載の破壊読出型メモリ回路。

【請求項8】 上記ブロック内行アドレス制御回路は、上記選択回路に対し上記選択を行わせる場合に、上記カウンタに対応した上記バッファメモリセルを選択させる、ことを特徴とする請求項7記載の破壊読出型メモリ回路。

【請求項9】 上記選択回路は、行アドレスのプリデコ

一ダと、上記メモリセルブロックの各々に対して備えられ該プリデコードの出力をさらにデコードするワードデコードとの間に接続されていることを特徴とする請求項5乃至8のいずれか1つに記載の破壊読出型メモリ回路。

【請求項10】 上記バッファメモリセル及び上記リストアドレスレジスタはいずれも、上記メモリセルブロックの各々に対して複数N備えられ、上記選択回路は、現在の行アドレスと、対応するN個の該リストアドレスレジスタの出力とのうちの1つを選択し、該リストアドレスレジスタの各々に対して備えられ、そのレジスタの内容が「有効」であるか「無効」であるかを示すフラグ記憶素子をさらに有し、上記制御回路は、現在の行アドレスにより該メモリセルブロックの1つが選択されている時、選択されている該メモリセルブロックに対応した該フラグ記憶素子の内容が「無効」であれば、これを「有効」にし、かつ、このフラグ記憶素子に対応した該リストアドレスレジスタに現在の行アドレスを保持させ、上記空き時間において、該フラグ記憶素子の内容の1つが「有効」であれば、これを「無効」にし、これに対応した該リストアドレスレジスタの内容を該選択回路に対し選択させる、ことを特徴とする請求項5記載の破壊読出型メモリ回路。

【請求項11】 複数のバンクを有し、該バンクの各々に上記メモリセルブロックを有し、上記リストアドレスレジスタは該メモリセルブロックの各々に対して備えられ、上記制御回路は、選択されているバンクの選択されている該メモリセルブロックに対応した該リストアドレスレジスタに、現在の行アドレスを保持させ、上記空き時間においてバンクの該メモリセルブロックに対応した該リストアドレスレジスタに保持されている行アドレスで指定される該メモリセルに再書き込みさせる、ことを特徴とする請求項2又は3記載の破壊読出型メモリ回路。

【請求項12】 上記リストアドレスレジスタの各々に対して備えられ、そのレジスタの内容が「有効」であるか「無効」であるかを示すフラグ記憶素子と、「有効」を示している該フラグ記憶素子の出力の1つを選択する有効ビット選択回路と、該有効ビット選択回路の出力に対応して該リストアドレスレジスタのうちの1つの出力を選択する選択回路とをさらに有し、上記制御回路は、選択されている該メモリセルブロックについて、該フラグ記憶素子の内容が「無効」であれば、これを「有効」

にし、かつ、このフラグ記憶素子に対応した該リストアドレスレジスタに現在の行アドレスを保持させ、非選択の該バンクについて、該有効ビット選択回路で選択された「有効」ビットに対応した該フラグ記憶素子の内容を「無効」にし、該選択回路の出力で指定される行アドレスのメモリセルに対し対応するバッファメモリセルの内容を書き込ませる、ことを特徴とする請求項11記載の破壊読出型メモリ回路。

【請求項13】 複数のリストアドレスを記憶するリストアドレス記憶部と、第1チップセレクト信号がアクティブのとき、行アドレスを該リストアドレス記憶部に書き込み、かつ、メモリ装置に対しリストア動作をさせず、該第1チップセレクト信号がインアクティブのとき、該リストアドレス記憶部の内容、アクティブのリストア信号及びアクティブの第2チップセレクト信号を出力する制御回路と、を有することを特徴とするリストア用アドレス記憶・制御回路。

【請求項14】 上記リストアドレス記憶部に格納される各行アドレスについて該行アドレスが「有効」であるか「無効」であるかを記憶するフラグ記憶部と、該フラグ記憶部内の「有効」を示しているフラグ中の1つを選択する有効ビット選択回路と、該リストアドレス記憶部に記憶されている、選択された該フラグに対応した記憶位置の内容を出力する選択回路とをさらに有し、上記制御回路は、

上記第1チップセレクト信号がアクティブであり、かつ、該フラグ記憶部内の「無効」を示している1つのフラグを「有効」にし、かつ、このフラグに対応した該リストアドレス記憶部内の記憶位置に現在の行アドレスを保持させ、該第1チップセレクト信号がインアクティブのとき、該フラグ記憶部内の、選択された該フラグに対応した記憶位置の内容を「無効」にする、ことを特徴とする請求項13記載のリストア用アドレス記憶・制御回路。

【請求項15】 メモリセルブロックと、該メモリセルブロックに対して備えられたバッファメモリセルと、外部からのリストア省略指令に応答して、外部からの行アドレスで指定されるメモリセルの内容を上記バッファメモリセルに書き込ませ、かつ、該メモリセルへのリストアを省略させ、外部からのリストア指令に応答して、外部からの行アドレスで指定されるメモリセルに対し、該バッファメモリセルの内容を書き込ませる制御回路と、を有することを特徴とする破壊読出型メモリ回路。

【請求項16】 請求項1乃至12のいずれか1つに記

載の破壊読出型メモリ回路、請求項13若しくは14記載のリストア用アドレス記憶・制御回路又は請求項15記載の破壊読出型メモリ回路を含むことを特徴とする半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】削除

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】削除

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】削除

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】削除

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】削除

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】削除

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】削除

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】削除

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】削除

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】削除

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】削除

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】削除

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】削除

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】削除

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】削除

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】削除

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】削除

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】削除

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】削除

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】削除

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】削除

【手続補正25】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】削除

【手続補正26】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】削除

【手続補正27】

【補正対象書類名】明細書

【補正対象項目名】0066

【補正方法】削除

フロントページの続き

(72)発明者 斉藤 美寿

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 小川 淳二

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内